

CARLOS EDUARDO MARCUSSI GOMES

**CONTROLE DIGITAL DE UM CONDICIONADOR DE
TENSÃO ALTERNADA USANDO PLL PARA OBTENÇÃO
DO SINAL DE REFERÊNCIA**

Florianópolis – SC

2007

UNIVERSIDADE FEDERAL DE SANTA CATARINA

PROGRAMA DE PÓS-GRADUAÇÃO

EM ENGENHARIA ELÉTRICA

**CONTROLE DIGITAL DE UM CONDICIONADOR DE
TENSÃO ALTERNADA USANDO PLL PARA OBTENÇÃO
DO SINAL DE REFERÊNCIA**

Dissertação submetida à

Universidade Federal de Santa Catarina

como parte dos requisitos para a

obtenção do grau de Mestre em Engenharia Elétrica.

CARLOS EDUARDO MARCUSSI GOMES

Florianópolis, outubro de 2007

CONTROLE DIGITAL DE UM CONDICIONADOR DE TENSÃO ALTERNADA USANDO PLL PARA OBTENÇÃO DO SINAL DE REFERÊNCIA

CARLOS EDUARDO MARCUSSI GOMES

‘Esta dissertação foi julgada adequada para obtenção do Título de Mestre em Engenharia Elétrica, Área de Concentração em **Eletrônica de Potência e Acionamento Elétrico**, e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina.’

Prof. Samir Ahmad Mussa, Dr.
Orientador

Prof. Clóvis Antônio Petry, Dr.
Co-Orientador

Prof.^a Kátia Campos de Almeida, Dra.
Coordenadora do Programa de Pós-Graduação em Engenharia Elétrica

Banca Examinadora:

Prof. Samir Ahmad Mussa, Dr.
Presidente

Prof. Clóvis Antônio Petry, Dr.

Prof. Arnaldo José Perin, Dr. Ing.

Prof. Enio Valmor Kassick, Dr

Prof. Flávio Alberto Bademaker Batista, Dr.

DEDICATÓRIAS

A Deus.

À minha mãe Regina.

Às minhas irmãs: Cássia e Karina.

À Simone.

AGRADECIMENTOS

A Deus por ter me dado saúde, sabedoria e perseverança durante toda a realização deste trabalho.

À minha mãe e às minhas irmãs pelo amor, carinho, exemplo e apoio incondicional. Agradeço a Deus todos os dias por vocês fazerem parte da minha vida.

À Simone pelo amor, paciência, compreensão e incentivo estando sempre do meu lado nos momentos bons e difíceis.

Aos Professores Samir Ahmad Mussa e Clóvis Antônio Petry pela extraordinária orientação, competência e amizade durante o mestrado.

Aos Professores membros da banca Arnaldo José Perin, Enio Valmor Kassick e Flávio Alberto Bademaker Batista pelas contribuições dadas para a elaboração do texto final.

Aos demais Professores do Instituto de Eletrônica de Potência que tanto contribuíram a minha formação na área de Eletrônica de Potência: Ivo Barbi, João C. Fagundes, Hari Bruno Mohr, Denizar C. Martins.

Aos amigos da turma 2005 do INEP Hugo, Marcos, Mario, Marlos, Murilo, Rhafael, Romeu e Thiago que sempre estiveram prontamente dispostos a ajudar. Muitos fui conhecer somente no curso de pós-graduação e hoje todos são meus grandes amigos.

A todos os colegas do INEP, doutorandos e mestrandos. Em especial aos colegas André Fuerback e Márcio Silveira Ortmann pelas contribuições que muito auxiliaram no desenvolvimento deste trabalho.

Aos funcionários e funcionárias do INEP pela contribuição e auxílio nas atividades de pesquisa e burocráticas. Em especial a

Ao povo brasileiro que através da CAPES financiou boa parte desse trabalho.

Finalmente, a todos aqueles que contribuíram de alguma forma para a conclusão deste trabalho.

Resumo da Dissertação apresentada à UFSC como parte dos requisitos necessários para a obtenção do grau de Mestre em Engenharia Elétrica.

CONTROLE DIGITAL DE UM CONDICIONADOR INDIRETO DE TENSÃO ALTERNADA USANDO PLL PARA OBTENÇÃO DO SINAL DE REFERÊNCIA

Carlos Eduardo Marcussi Gomes

Outubro/2007

Orientador: Prof. Samir Ahmad Mussa, Dr.

Co-Orientador: Prof. Clóvis Antônio Petry, Dr.

Área de Concentração: Eletrônica de Potência e Acionamento Elétrico.

Palavras-chave: Condicionador de tensão, controle digital, *PLL* e *DSP*.

Número de páginas: 116.

RESUMO: O objetivo maior desse trabalho é realizar um estudo e projeto de um condicionador indireto de tensão alternada controlado digitalmente através do processador digital de sinais (*DSP*) da *Texas Instruments*. Para obter um sinal de referência isento de distorções harmônicas e que acompanhe variações na frequência presentes na rede elétrica, foi utilizado um *PLL* digital baseado na teoria da potência instantânea trifásica. Para o controle digital proposto neste trabalho usam-se duas malhas, uma de pré-alimentação da tensão de entrada e outra de controle do valor eficaz da tensão de saída. Ao final do trabalho é apresentada uma metodologia de projeto e resultados experimentais de um protótipo com $220V/60Hz$ de tensão de saída e $20kHz$ de frequência de comutação.

Abstract of Dissertation presented to UFSC as a partial fulfillment of the requirements for the degree of Master in Electrical Engineering.

**INDIRECT ALTERNATE-VOLTAGE CONDITIONER DIGITAL
CONTROL USING PHASE LOCKED LOOP FOR ATTAINMENT OF
REFERENCE SIGNAL**

Carlos Eduardo Marcussi Gomes

October/2007

Advisor: Prof. Samir Ahmad Mussa, Dr.

Co-Advisor: Prof. Clóvis Antônio Petry, Dr.

Area of Concentration: Power Electronics and Electrical Drivers.

Keywords: Line Conditioner, Digital Control, *PLL*, *DSP*.

Number of pages: 116.

ABSTRACT: The aim of this work is to study and design a digitally-controlled indirect alternating-voltage conditioner using a Texas Instruments digital signal processor. In order to obtain a harmonic-distortion-free reference signal which is able to follow changes in network power frequency, a digital *PLL* was used based in the theory of instantaneous three-phase power. In the digital control proposed in this work, two circuits are used, one for input voltage feedforward and another controlling the effective output-voltage. At the end of the work, a design methodology is presented and results for a *220V/60Hz* output voltage prototype operating at a switching frequency of *20kHz* are shown.

SUMÁRIO

INTRODUÇÃO GERAL	1
Capítulo 1 Estudo do Estágio de Potência	5
1.1 <i>Topologia Estudada</i>	5
1.2 <i>Estudo do Fluxo de Energia</i>	6
1.3 <i>Princípio de Funcionamento e Principais Formas de Onda</i>	7
1.3.1 Etapas de Operação do Retificador	11
1.3.2 Etapas de Operação do Inversor	12
1.4 <i>Ganho Estático</i>	16
1.5 <i>Relação de Transformação</i>	18
1.6 <i>Ondulação de Corrente</i>	18
1.7 <i>Ondulação de Tensão</i>	19
1.8 <i>Conclusão</i>	20
Capítulo 2 Controle Digital	21
2.1 <i>Projeto de Controladores Digitais</i>	21
2.1.1 Projeto por Aproximação	22
2.1.2 Projeto no Plano w	22
2.1.3 Projeto no Plano z Utilizando o Lugar Geométrico das Raízes (<i>LGR</i>)	23
2.2 <i>Obtenção do Sinal de Referência</i>	24
2.2.1 Geração da Referência Através da Detecção da Passagem por Zero	24
2.2.2 Referência Utilizando Sistema <i>DPLL</i>	25
2.3 <i>Estrutura de Controle do Condicionador de Tensão</i>	37
2.3.1 Projeto do Compensador de Tensão	40
2.3.2 Projeto do Compensador de Corrente	46
2.3.3 Projeto do Compensador de Pré-Alimentação	47
2.3.4 Resultados de Simulação	49
2.4 <i>Kit de Desenvolvimento eZdspTM TMS320LF2407A</i>	53
2.4.1 Visão Geral do eZdsp TM LF2407A	54
2.4.2 Características Básicas do TMS320LF2407A	54
2.4.3 <i>Code Composer Studio</i>	56

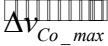
2.5	<i>Programação</i>	57
2.5.1	Fluxograma	58
2.5.2	Definições Preliminares	58
2.5.3	Configurações Iniciais.....	60
2.5.4	Gerenciador de Eventos.....	60
2.5.5	Conversor A/D	61
2.5.6	Interrupção	61
2.5.7	Amostragem	61
2.5.8	Proteção Contra Sobrecorrente e Erro nos <i>Drivers</i>	61
2.5.9	Obtenção do Sinal de Referência	62
2.5.10	Implementação dos Controladores.....	63
2.5.11	Obtenção dos Sinais <i>PWM</i> do Inversor.....	63
2.6	<i>Conclusão</i>	64
Capítulo 3	Metodologia de Projeto	65
3.1	<i>Especificação de Projeto e Cálculos Preliminares</i>	65
3.2	<i>Projeto do Circuito de Potência</i>	66
3.2.1	Relação de Transformação para T_1	66
3.2.2	Indutor L_o	67
3.2.3	Capacitor C_o	67
3.2.4	Dimensionamento dos Interruptores.....	68
3.2.5	Esquemático do Circuito de Potência e Proteção do Condicionador.....	69
3.3	<i>Projeto dos Circuitos de Interface com DSP e Condicionamento de Sinais</i>	71
3.3.1	Fonte Auxiliar	72
3.3.2	Filtro <i>Anti Aliasing</i>	73
3.3.3	Amostragem das Tensões de Entrada e Saída do Condicionador.....	73
3.3.4	Amostragem da Corrente $i_{L_o}(t)$	74
3.3.5	Sinal de Sincronismo e Comando de S_1 a S_4	75
3.3.6	Circuitos de Comando Para os Interruptores S_5 a S_8	76
3.3.7	Circuitos de Comando Para a Proteção	77
3.4	<i>Foto do Protótipo</i>	78
3.5	<i>Conclusão</i>	78
Capítulo 4	Resultados Experimentais	79
4.1	<i>Sincronismo e Referência</i>	79
4.2	<i>Malha Aberta</i>	86

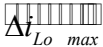
4.3	<i>Malha Fechada</i>	89
4.3.1	Condicionador Operando Sem a Malha de <i>Feedforward</i>	89
4.3.2	Condicionador Operando Com a Malha de <i>Feedforward</i>	94
4.4	<i>Conclusão</i>	101
CONCLUSÃO GERAL		102
ANEXO 1 – Programa Para o Controle e Proteção do Condicionador Monofásico de Tensão Alternada		104
REFERÊNCIAS BIBLIOGRÁFICAS.		113

SIMBOLOGIA

▪ Símbolos usados em expressões matemáticas

<i>Símbolo</i>	<i>Significado</i>	<i>Unidade</i>
Exemplos das definições		
y	Variável instantânea, dependente do tempo	
$\overline{y}$	Média instantânea em um período de comutação	
$\vec{y}$	Variável vetorial	
$\boxed{y}$	Variável parametrizada	
Y	Variável contínua no tempo	
y_{rms}	Valor eficaz (RMS)	
y_{med}	Valor médio	
y_{pico}	Valor de pico	
y_{max}	Valor máximo	
y_{min}	Valor mínimo	
y_{nom}	Valor nominal	
y^*	Variável referida	
Tensões		
v_a	Tensão da fase “a” disponibilizada pela rede de energia elétrica	V
v_o	Tensão de saída	V
v_r	Tensão na saída do retificador	V
v_{dp}	Tensão no primário de T_1	V
v_{ds}	Tensão no secundário de T_1 , tensão de compensação	V
v_{ab}	Tensão na saída do inversor	V
$v_{g1,4}$	Tensão de comando de S_1 e S_4	V
$v_{g2,3}$	Tensão de comando de S_2 e S_3	V
$v_{g5,6}$	Tensão de comando de S_5 e S_6	V
$v_{g7,8}$	Tensão de comando de S_7 e S_8	V
v_c	Tensão de controle	V
v_{Co}	Tensão no capacitor C_o	V

v_{ref}	Tensão de referência	V
$v_{o\ ref}$	Tensão de referência para C_v	V
v_{Lo}	Tensão sobre o indutor L_o	V
v_{tri}	Tensão triangular (portadora)	V
$v_{ds\ rms}$	Valor eficaz da tensão de compensação	V
$v_a\ rms$	Tensão eficaz de entrada	V
$v_o\ rms$	Tensão eficaz na carga	V
$v_{ds\ pico}$	Tensão de pico de compensação	V
$v_a\ pico$	Tensão de pico de entrada	V
$v_o\ pico$	Tensão de pico da saída	V
v_{offset}	Tensão de controle de compensação de <i>offset</i>	V
$v_a\ nom$	Tensão de entrada nominal	V
$v_o\ nom$	Tensão de saída nominal	V
$v_a\ max$	Tensão de entrada máxima	V
$v_a\ min$	Tensão de entrada mínima	V
Δv	Variação na tensão de entrada devido à distorção	V
Δi_{Co}	Ondulação de corrente no capacitor C_o	V
Δv_{Co}	Ondulação de tensão no capacitor C_o	V
$\Delta v_{Comax}\%$	Ondulação de tensão máxima percentual no capacitor C_o	V
 Δv_{Co}	Ondulação de tensão parametrizada no capacitor C_o	V
 Δv_{Co_max}	Ondulação de tensão máxima parametrizada no capacitor C_o	V
 v_{ds}	Tensão de compensação média instantânea	V
 v_{tri}	Tensão triangular defasada de 180°	V
 v_{ab}	Tensão de saída do inversor média em um período de comutação	V
 v_a	Tensão de entrada média em um período de comutação	V
 v_{dp}	Tensão no primário de T_1 média em um período de comutação	V
Correntes		
i_o	Corrente da carga	A
i_a	Corrente na entrada	A

i_{Lo}	Corrente no indutor L_o	A
i_{Co}	Corrente no capacitor C_o	A
$i_{Lo \text{ ref}}$	Corrente de referência no indutor L_o	A
i_{Lo}	Corrente no indutor L_o	A
$i_{Lo \text{ med}}$	Corrente média em L_o num período de comutação	A
$i_o \text{ rms}$	Valor eficaz da corrente de carga	A
$i_o \text{ pico}^*$	Corrente de carga de pico amostrada	A
$i_o \text{ pico}$	Corrente de carga de pico	A
i_{Comax}	Corrente máxima no capacitor C_o	A
i_{Lo}^*	Corrente no indutor L_o referida ao secundário de T_1	A
Δi_{Lo}	Ondulação de corrente no indutor L_o	A
 Δi_{Lo}	Ondulação de corrente parametrizada no indutor L_o	A
Δi_{Lomax}	Ondulação de corrente máxima no indutor L_o	A
$\Delta i_{Lomax}^{\%}$	Ondulação de corrente máxima percentual no indutor L_o	A
 Δi_{Lo_max}	Ondulação de corrente máxima parametrizada no indutor L_o	A
i_{od}	Componente direta da corrente de saída	A
i_{oq}	Componente em quadratura da corrente de saída	A
Demais variáveis		
d	Razão cíclica	
D_{max}	Razão cíclica máxima estabelecida	
Δ	Variação na tensão de entrada	
Δ^+	Variação na tensão de entrada para mais	
Δ^-	Variação na tensão de entrada para menos	
Q_{con}	Potência reativa do conversor	VAR
P_{con}	Potência ativa do conversor	W
S_o	Potência aparente na carga	VA
T_s	Período de comutação	s
T_r	Período da tensão da rede	s
f_r	Frequência da tensão da rede	Hz
f_s	Frequência de comutação	Hz
t_{on}	Tempo em que um interruptor está em condução	s

t_{off}	Tempo em que um interruptor está bloqueado	s
ω, ω_r	Frequência angular da tensão da rede	s
ω_s	Frequência angular da tensão de comutação	rad/s
T	período	s
Δt	Intervalo de subida da corrente em L_o	s
$\emptyset$	Ângulo de atraso entre a corrente de carga em relação a tensão de entrada	°
λ	Ângulo de atraso entre a tensão de compensação e a tensão de entrada	°
$sign$	Sinal ou polaridade	
g	Ganho estático	
N_l	Relação de transformação nominal de T_1	
s	Representação no domínio s	
z	Representação no domínio z	
θ_1	Ângulo da tensão da fase “a”	°
θ_2	Ângulo da corrente fictícia da fase “a”	°
$P_{3\phi}$	Potência instantânea trifásica	W
θ_{ref}	Ângulo do sinal de referência	°
PI	Compensador PI do <i>PLL</i>	
I	Integrador do <i>PLL</i>	
MF	Margem de fase	
f_a	Frequência de amostragem	
$C_{PI\ PLL}$	Função de transferência do compensador PI do <i>PLL</i>	
$C_{I\ PLL}$	Função de transferência do integrador do <i>PLL</i>	
C_i	Função de transferência do compensador da malha de corrente	
C_v	Função de transferência do compensador da malha de controle do valor eficaz da tensão	
C_{ff}	Função de transferência do compensador da malha de <i>feedforward</i>	
G_{faa}	Função de transferência do filtro <i>anti-aliasing</i>	
k_v	Ganho de tensão	
FE	Fator de escala	
G_T	Função de transferência total da tensão de saída pela	

	razão cíclica
$FTLA$	Função de transferência de laço aberto
$FTMF$	Função de transferência de malha fechada
k_1, k_2	Ganhos da função de transferência C_v
k_{iLo}	Ganho da função de transferência C_i
k_{ff}	Ganho da função de transferência C_{ff}
f_{eff}	Frequência de corte para C_{ff}

▪ **Símbolos usados para referenciar elementos em diagramas de circuitos**

Símbolo	Significado
$C_0, C_1, \dots, C_n$	Capacitores
D_1, D_2, D_3, D_4	Diodos do interruptor do retificador
D_5, D_6, D_7, D_8	Diodos do interruptor do inversor
$L_{AAA}, \dots, L_{XXX}$	Indutores
M_1, M_2, M_3, M_4	Interruptores do módulo IGBT
$R_0, R_1, \dots, R_n$	Resistores
S_1, S_2, S_3, S_4	Interruptores comandáveis do retificador
S_5, S_6, S_7, S_8	Interruptores comandáveis do inversor
T_I	Transformador de compensação e isolamento

▪ **Acrônimos e Abreviaturas**

Símbolo	Significado
ac	<i>Alternate Current</i>
ca	Corrente alternada
cc	Corrente contínua
dc	<i>Direct Current</i>
FTMA	Função de Transferência em Malha Aberta
FTMF	Função de Transferência em Malha Fechada
IGBT	<i>Insulated Gate Bipolar Transistor</i>
INEP	<i>Instituto de Eletrônica de Potência</i>
PFC	<i>Power Factor Correction</i> , Correção do Fator de Potência
PWM	<i>Pulse Width Modulation</i> , Modulação por Largura de Pulso
RPWM	<i>Rectangular Pulse Width Modulation</i> , PWM Retangular
SPWM	<i>Sinusoidal pulse width modulation</i> , PWM Senoidal

THD	<i>Total Harmonic Distortion</i> , Distorção Harmônica Total
UFSC	Universidade Federal de Santa Catarina
MIPS	Milhões de Instruções por segundo
A/D	Conversor analógico/Digital
D/A	Conversor Digital/Analógico
LGR	Lugar Geométrico das Raízes
PLL	<i>Phase Locked Loop</i>

4 - Símbolos de Unidades de Grandezas Físicas

<i>Símbolo</i>	<i>Nome da Unidade</i>
V	Volt
W	Watt
Ω	Ohm
A	Ampère
H	Henry
F	Farad
dB	Decibel
h	Hora
s	Segundo
Hz	Hertz
m	Metro
cm	Centímetro
rad/s	Radianos por segundo
°C	Grau Celsius
°C/W	Grau Celsius por Watt

INTRODUÇÃO GERAL

Desde o final da década de 1980, a qualidade de energia tem sido um dos temas mais discutidos no meio acadêmico e industrial. Em [1] há uma definição para o problema de qualidade de energia: “Qualquer problema de energia manifestado na tensão, corrente ou na frequência que resulte em falha ou má operação de equipamentos de consumidores”. Assim os distúrbios relacionados à qualidade de energia presentes no sistema elétrico podem ser listados a seguir e ilustrados na Fig. I.1:

- Interrupção total da alimentação elétrica ocasionada principalmente por curto-circuito;
- Transientes resultando em um rápido e elevado sobre-sinal na onda da tensão, tendo como causa descargas atmosféricas e manobras da concessionária;
- Afundamento/elevação na tensão de curta duração (de meio ciclo a três segundos), também chamada por *voltage sags/swell* ocasionada pela partida/queda de grandes equipamentos, curto-circuito, manobras da concessionária;
- Harmônicos gerando uma deformação no formato da onda senoidal causadas por frequências múltiplas da fundamental, ocasionados pela crescente presença de cargas não-lineares conectadas ao sistema, tais como: retificadores, inversores, fontes chaveadas, reatores eletrônicos, entre outros;
- Variações de tensão de longa duração (acima de um minuto), principalmente devido a equipamentos e condutores sobrecarregados.

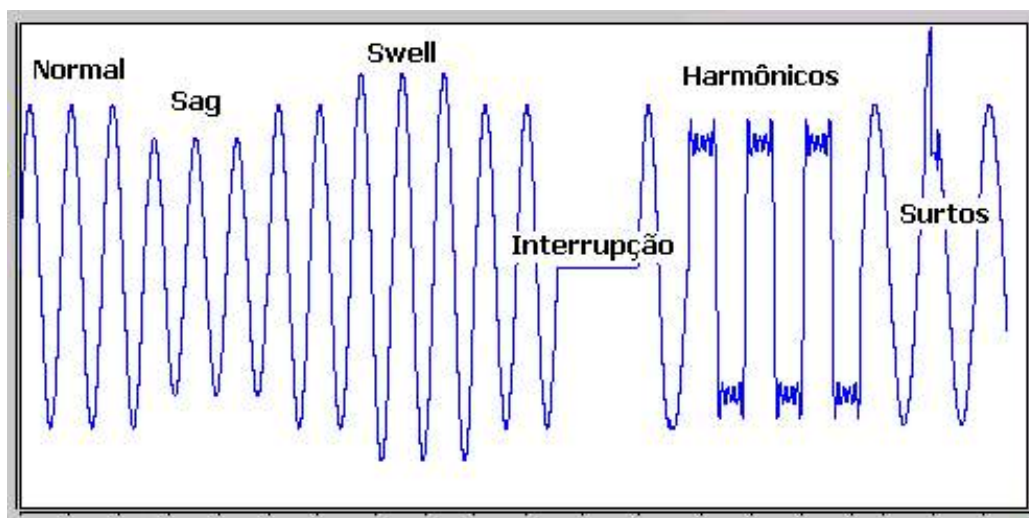


Fig. 1.1- Distúrbios relacionados à qualidade de energia.

Condicionadores de tensão se enquadram no contexto de qualidade de energia visando entregar à carga uma tensão regulada no valor desejado e com baixo conteúdo harmônico. A norma brasileira para estabilizadores de tensão de até 3 kVA, NBR 14373 [2], especifica que os estabilizadores devem ter uma capacidade de compensação de 25 %, porém não define os limites superiores e inferiores dessa correção, ficando a critério do fabricante.

Neste trabalho estuda-se um condicionador indireto de tensão alternada proposto em [3] e estudado em [4] e [5]. Uma variação topológica foi proposta e estudada em [7] e em [6] utiliza-se a mesma topologia, porém o conversor é alimentado pelo lado da carga. Estes conversores têm a vantagem de possuírem um comando simples e utilizarem interruptores bidirecionais em corrente e unidirecionais em tensão.

Assim como no setor da qualidade da energia elétrica, os avanços na tecnologia do processamento digital de sinais também foram muito acentuados nas duas últimas décadas. As vantagens do uso do controle digital em conversores estáticos são muitas, dentre as quais podem-se citar:

- Redução do número de componentes eletrônicos das placas de comando dos conversores;

- Grande flexibilidade na concepção do compensador e do modulador do conversor, sendo que modificações no projeto necessitam apenas de alterações no *software* do processador digital de sinais (*DSP*);
- Possibilidade do uso de técnicas avançadas de controle impraticáveis via controle analógico;
- Facilidade no monitoramento do sistema, fazendo com que a implementação de circuitos de segurança e proteção se torne algo extremamente simples;
- Maior facilidade da montagem do produto final em linha de produção, uma vez que o mesmo fica com o número reduzido de componentes eletrônicos susceptíveis a variações paramétricas.

O condicionador de tensão alternada, empregando um conversor ac-ac monofásico indireto com link direto apresentado por [3], necessita de um sinal de sincronismo em fase com a tensão de entrada a fim de gerar o comando aos interruptores do estágio retificador. Além disso, um sinal de referência também em fase com a tensão de alimentação e com conteúdo harmônico nulo deve ser utilizado para o correto funcionamento do sistema de controle do conversor.

Sistemas *DPLL* (*Digital Phase Locked Loop*) têm sido largamente utilizados em aplicações onde se deseja extrair com precisão informações da tensão da rede elétrica, tais como frequência e fase. Tal característica se torna altamente atrativa para solucionar a questão do sinal de referência presente no condicionador de tensão alternada. Sua implementação pode ser feita numericamente utilizando um *DSP*.

No capítulo 1 deste trabalho é feito um breve estudo do estágio de potência do conversor proposto, apresentando uma análise sobre o fluxo de energia, etapas de funcionamento e principais formas de onda e equacionamento para as variáveis de interesse.

O controle digital do condicionador é discutido detalhadamente no capítulo 2, contendo um estudo sobre a obtenção do sinal de referência, metodologia de projeto para os controladores, resultados de simulação, finalizando com o *DSP* utilizado e uma discussão a respeito do programa para o controle do condicionador.

Os capítulos 3 e 4 apresentam, respectivamente, a metodologia de projeto e resultados experimentais.

Por fim, tem-se a conclusão geral e no anexo 1 a listagem do programa utilizado para o controle via *DSP* do condicionador.

Capítulo 1 Estudo do Estágio de Potência

Neste capítulo serão apresentadas as principais características e um estudo teórico do condicionador monofásico de tensão alternada, a começar pela topologia utilizada. Na sequência serão discutidos o fluxo de energia, princípio de funcionamento e principais formas de onda, estratégia de modulação e estudo das grandezas pertinentes para obtenção da metodologia de projeto.

1.1 Topologia Estudada

A estrutura proposta para o condicionador de tensão está apresentada na Fig. 1.1. Essa estrutura processa apenas uma parcela da potência da carga, ou seja, utiliza o princípio de compensação série [9]. O conversor ca-ca presente na Fig. 1.1 é do tipo indireto [8] e [26], sendo composto por dois estágios: retificador bidirecional e inversor de tensão. Por não apresentar *link* cc entre os estágios retificador e inversor, caracteriza-se o condicionador como conversor de *link* direto.

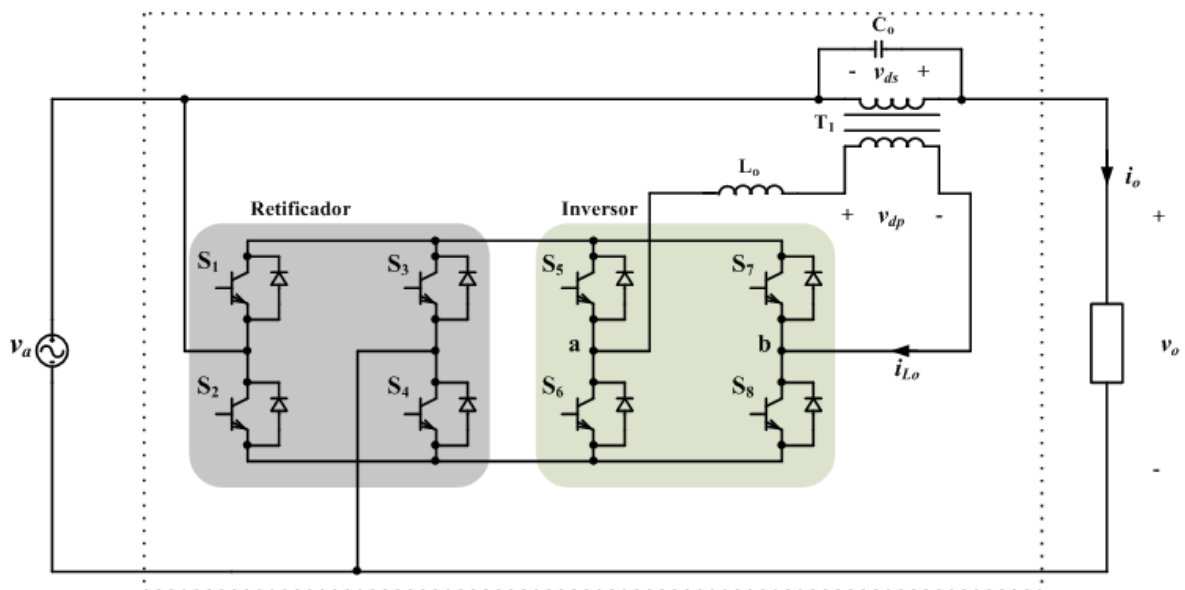


Fig. 1.1 – Topologia do condicionador.

O capacitor C_o e o indutor L_o formam o filtro de saída do inversor de tensão representado pelos interruptores S_5 a S_8 . Em [8], outras configurações para o filtro de saída foram estudadas e cabe destacar que posicionando C_o no secundário do transformador aproveita-se a indutância de dispersão do transformador no papel de filtro da tensão de saída do inversor. Sendo assim, L_o representa a indutância total vista pelo lado primário do transformador, isto é, a dispersão mais a do indutor colocado externamente.

O retificador bidirecional de corrente é formado pelos interruptores S_1 a S_4 e possui comando em baixa frequência. O transformador T_1 tem a finalidade de aplicar na saída a tensão de compensação. Admite-se que todos os interruptores possuem diodos em antiparalelo. [Equation Chapter 1 Section 1](#)

1.2 Estudo do Fluxo de Energia

O condicionador de tensão em estudo, por não apresentar barramento de tensão contínua, não pode oferecer em sua saída uma tensão com fase diferente da tensão de entrada como o caso dos conversores que possuem barramento. Isso faz com que a tensão disponibilizada na saída do condicionador possua a mesma fase da tensão da rede de alimentação, mas com amplitude variável, como mostra o diagrama fasorial apresentado na Fig. 1.3. Para efeito de comparação, a Fig. 1.2 apresenta o diagrama fasorial de um condicionador com barramento de tensão contínua, ficando evidente sua capacidade de fornecer uma tensão de saída com fase e amplitude diferentes da tensão de entrada. Em ambas as figuras v_a é a tensão de entrada, v_{ds} a tensão de saída, i_o a corrente de carga e i_{od} e i_{oq} suas componentes de eixo direto e de quadratura, respectivamente. Os ângulos da carga e da defasagem entre a tensão de entrada e a tensão de compensação são, na sequência, $\varnothing$ e λ .

Para ter a capacidade de alimentar qualquer tipo de carga conectada na saída, o condicionador de tensão alternada deve ser bidirecional para o fluxo de energia ativa e reativa. Assim, para condicionadores sem barramento com bidirecionalidade de fluxo de energia aparente, o ângulo de defasagem (λ) entre a tensão de compensação e a tensão de alimentação pode ser apenas 0° ou 180° .

As expressões para o cálculo da potência ativa e reativa do conversor estão apresentadas em (1.1) e (1.2), respectivamente [10].

$$\begin{aligned} P_{con} &= v_{ds_rms} \cdot i_{o_rms} \cdot \cos(\phi) \quad \text{para } \lambda = 0^\circ \\ P_{con} &= -v_{ds_rms} \cdot i_{o_rms} \cdot \cos(\phi) \quad \text{para } \lambda = 180^\circ \end{aligned} \quad (1.1)$$

$$\begin{aligned} Q_{con} &= -v_{ds_rms} \cdot i_{o_rms} \cdot \sin(\phi) \quad \text{para } \lambda = 0^\circ \\ Q_{con} &= v_{ds_rms} \cdot i_{o_rms} \cdot \sin(\phi) \quad \text{para } \lambda = 180^\circ \end{aligned} \quad (1.2)$$

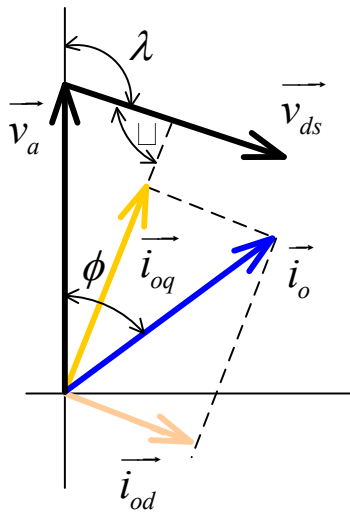


Fig. 1.2 - Diagrama fasorial do condicionador de tensão com barramento CC.

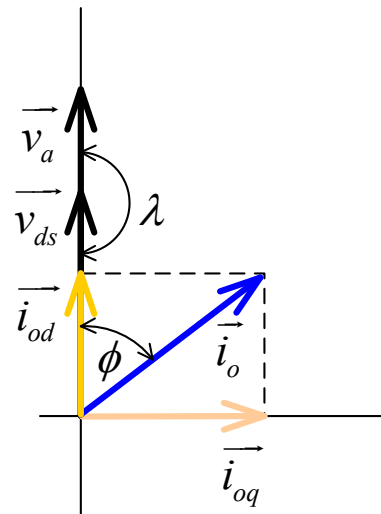


Fig. 1.3 - Diagrama fasorial do condicionador de tensão sem o barramento CC.

Conclui-se das expressões (1.1) e (1.2) que sendo puramente resistiva a carga alimentada pelo conversor e o ângulo de defasagem λ for de 180° , $Q_{con} = 0$ e P_{con} é negativa indicando que o conversor está regenerando energia. Já se λ for igual a zero a potência ativa será positiva e a reativa será nula indicando que o conversor está fornecendo energia.

1.3 Princípio de Funcionamento e Principais Formas de Onda

O condicionador de tensão apresentado na Fig. 1.1 é formado por dois conversores ponte completa, um atuando como retificador bidirecional de corrente e outro como inversor de tensão. O retificador tem duas etapas de funcionamento, que dependem da

polaridade da tensão da rede v_a , sendo que em cada uma a corrente pode circular pelos interruptores ou pelos diodos dependendo do sentido da corrente de carga.

Na Fig. 1.4 são apresentadas as principais formas de onda para o condicionador de tensão alternada. Nota-se que a tensão de saída do retificador v_r é a tensão da rede retificada. Assim sendo, os pulsos de comando para os interruptores do retificador ($v_{g1,4}$ e $v_{g2,3}$) devem ser sincronizados com a tensão da rede v_a . Esse fato deve ser levado em consideração no projeto do circuito de detecção da passagem por zero da tensão da rede, pois qualquer erro, por atraso ou antecipação, na transição de comando dos interruptores S_1 e S_4 para S_2 e S_3 gera um curto-circuito na fonte de entrada.

O funcionamento do inversor de tensão está relacionado à estratégia de modulação utilizada. São inúmeras as possibilidades de modulação aplicadas a inversores de tensão existentes na literatura [11], [29]. Neste trabalho serão discutidas apenas as modulações por largura de pulso (*PWM*), destacando duas estudadas em [8]: a *PWM* senoidal (*SPWM*) e a *PWM* retangular (*RPWM*), podendo ser a dois níveis ou a três níveis.

A Fig. 1.5 apresenta as lógicas de modulação a dois níveis e a três níveis para a modulação *SPWM* e *RPWM*. Cabe destacar algumas observações acerca das estratégias de modulação, quais sejam:

- Na *SPWM* e *RPWM* a dois níveis, a tensão v_{ab} (saída do inversor) apresenta apenas dois valores: $+v_a$ e $-v_a$, enquanto a três níveis apresenta três estados: $+v_a$, 0 e $-v_a$;
- Tanto para modulação a dois níveis quanto para a três níveis, a amplitude do sinal referência (senoidal ou retangular) determina a largura dos pulsos de comando dos interruptores, fazendo com que o sinal v_{ab} tenha sua componente fundamental na mesma frequência do sinal de referência.
- Na modulação a dois níveis, o espectro harmônico é deslocado em torno da frequência de comutação (frequência da triangular), enquanto que na três níveis o espectro é deslocado para o dobro da frequência de comutação. Assim, na modulação a três níveis os elementos do filtro de saída do inversor possuirão menos peso e volume.

- Fazendo uma análise visual no formato da tensão v_{ab} para a modulação *SPWM* e para *RPWM* tanto para dois quanto para três níveis (Fig. 1.5), nota-se que na modulação *RPWM* o formato da tensão v_{ab} está mais próximo do formato da fundamental, indicando que possui um conteúdo harmônico inferior. Isso se deve ao fato de o condicionador de tensão ser de *link* direto, ou seja, a tensão de saída do retificador nada mais é do que o módulo da tensão v_a . Em [8], demonstra-se que o conteúdo harmônico de v_{ab} é menor para modulação *RPWM*, sendo a $111,1\%$ THD obtida para modulação *SPWM*, enquanto na *RPWM* foi de $96,6\%$.

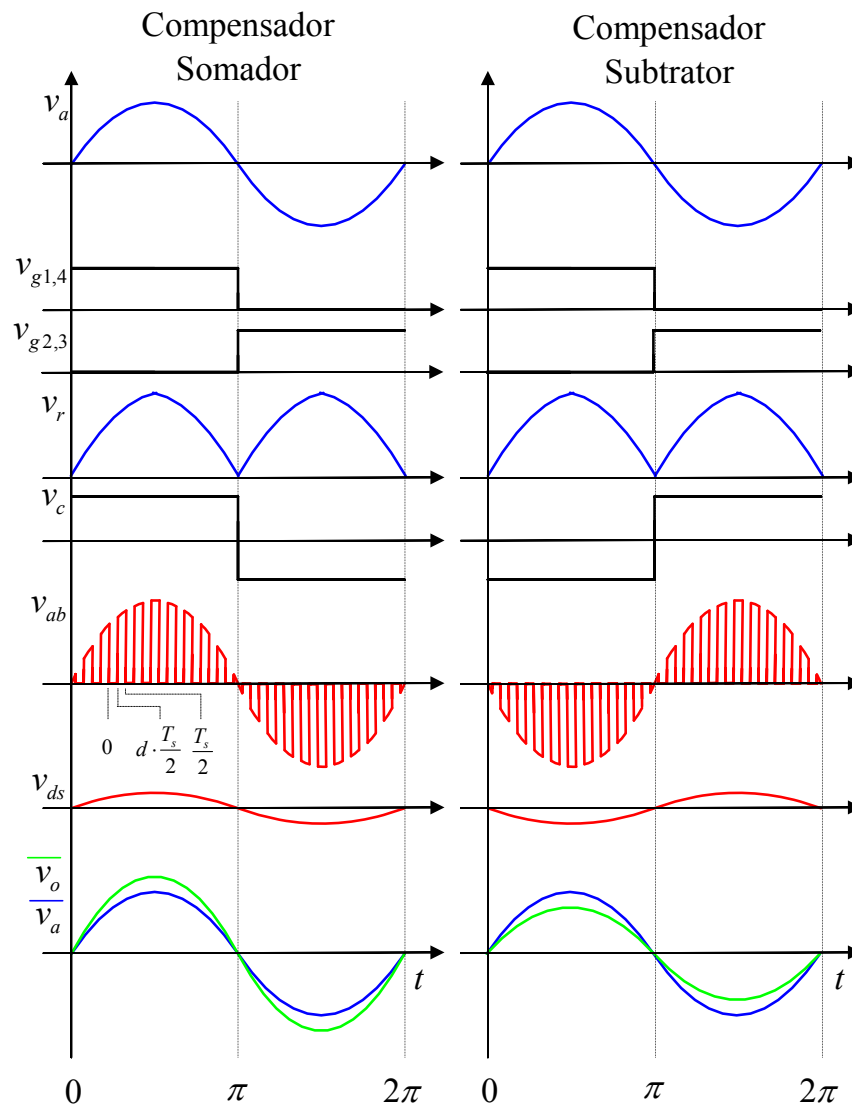


Fig. 1.4 - Principais formas de onda do estágio de potência.

Assim, optou-se pela estratégia de modulação *RPWM* a três níveis. Nessa estratégia, o inversor possui quatro etapas de funcionamento. Conforme mostrado na Fig. 1.4 a tensão v_{ab} depende da tensão de controle v_c . Se v_c for positiva durante o semiciclo positivo da rede, a tensão de saída do condicionador será maior que a de entrada, pois v_{ds} está em fase com v_a . Caso contrário, a tensão de saída será menor que a de entrada, pois v_{ds} está em oposição de fase em relação a v_a .

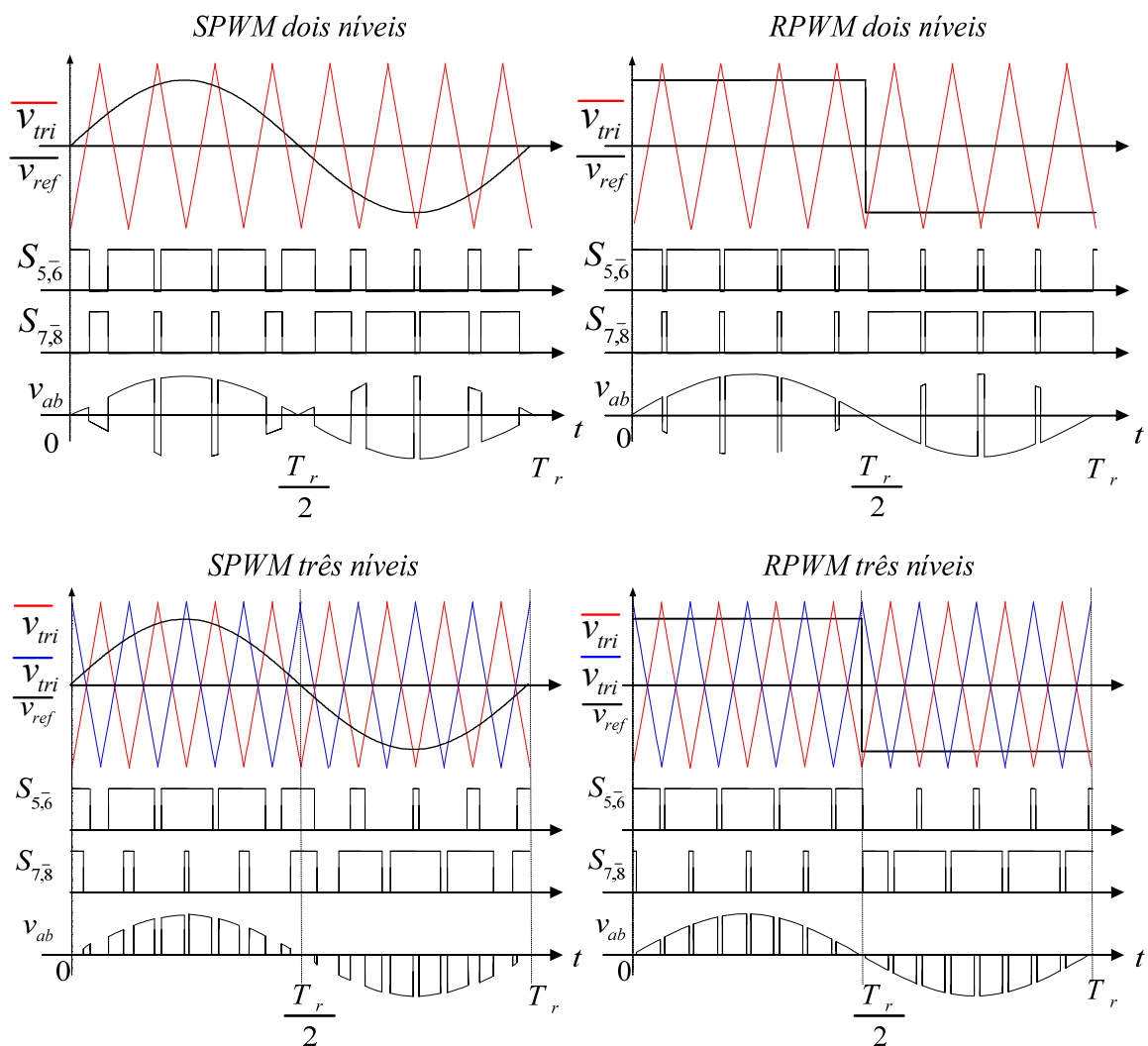


Fig. 1.5 - Estratégias de modulação.

Na sequência serão apresentadas as etapas de operação para o retificador e posteriormente as do inversor. É importante destacar que apesar de serem apresentadas separadamente não significa que as primeiras não dependam das segundas e vice-versa.

1.3.1 Etapas de Operação do Retificador

Conforme dito anteriormente, o retificador possui duas etapas distintas, sendo elas:

1. $v_a > 0$: S_1 e S_4 recebem o sinal de comando. Se a corrente de carga i_o for positiva, i_{Lo} circula pelos diodos D_1 e D_4 ; caso contrário, por S_1 e S_4 . Esta etapa perdura até a mudança da polaridade da tensão de entrada v_a .

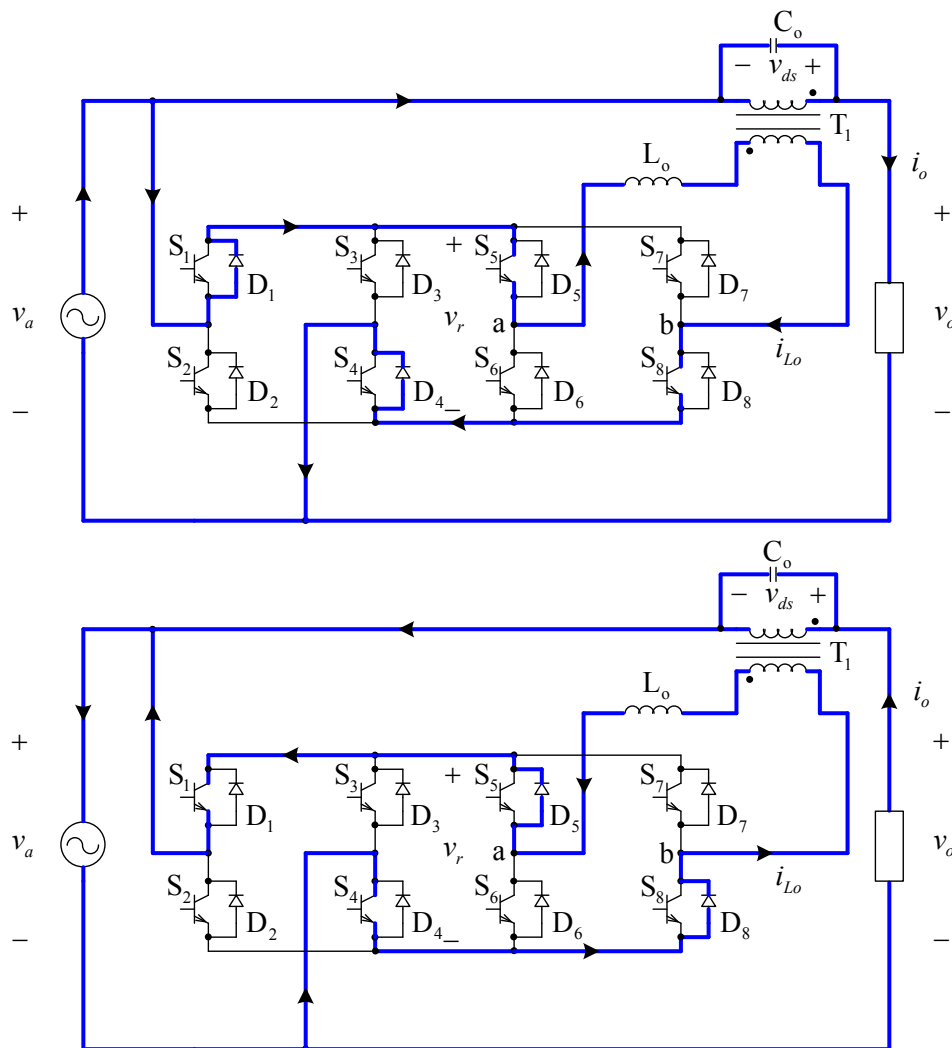


Fig. 1.6 - Primeira etapa de operação do retificador.

2. $v_a < 0$: S_2 e S_3 recebem o sinal de comando. Se a corrente i_o for negativa, i_{Lo} circula pelos diodos D_2 e D_3 ; caso contrário, por S_2 e S_3 . Esta etapa perdura até a mudança da polaridade da tensão de entrada v_a .

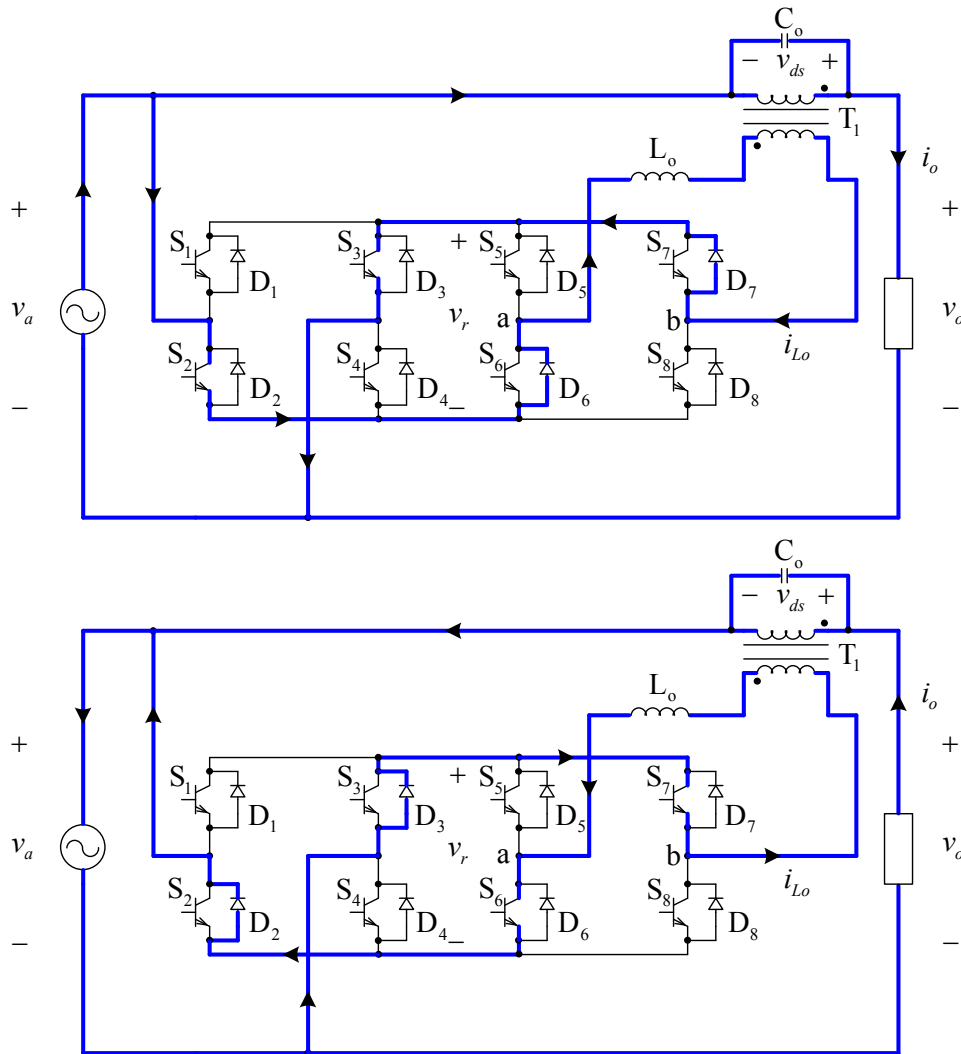


Fig. 1.7 - Segunda etapa de operação do retificador.

1.3.2 Etapas de Operação do Inversor

De acordo com a Fig. 1.5, na modulação *RPWM* a três níveis são utilizados dois sinais triangulares na frequência de comutação e defasados de 180° entre si, sendo cada um responsável pela obtenção do sinal de comando de um braço do inversor. Os interruptores conduzem em pares diagonalmente opostos (S_5 e S_8 ou S_6 e S_7) e aos pares (S_5 e S_7 ou S_6 e S_8). Nessa estratégia são observadas quatro etapas de operação, quais sejam:

1. Os interruptores S_5 e S_8 estão habilitados (Fig. 1.8). A tensão v_{ab} é positiva. Sendo $i_o > 0$, a corrente i_{Lo} circula por S_5 e S_8 ; caso contrário, i_{Lo} circula pelos diodos antiparalelos D_5 e D_8 .

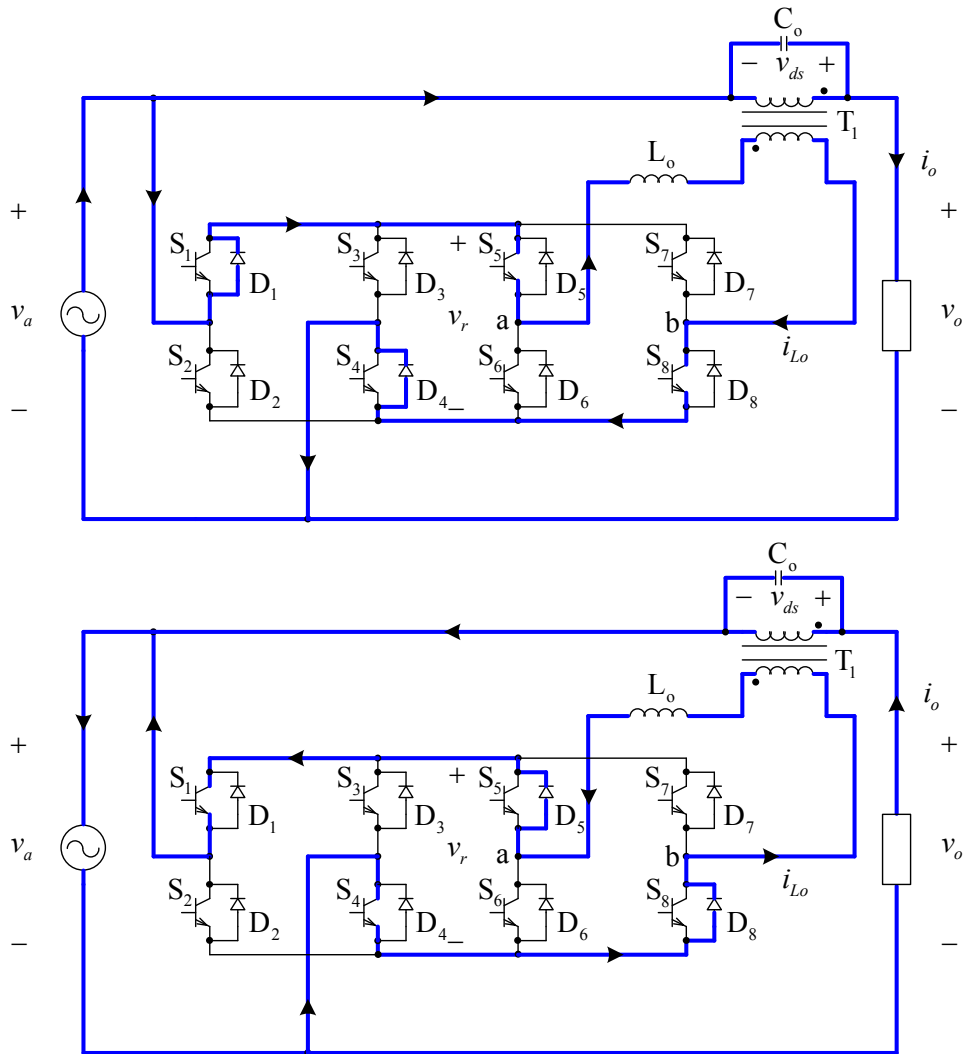


Fig. 1.8 - Primeira etapa de operação do inversor.

2. Os interruptores S_5 e S_7 estão habilitados (Fig. 1.9). A tensão v_{ab} é nula. Sendo $i_o > 0$, a corrente i_{Lo} circula por S_5 e D_7 ; caso contrário, i_{Lo} circula por D_5 e S_7 .

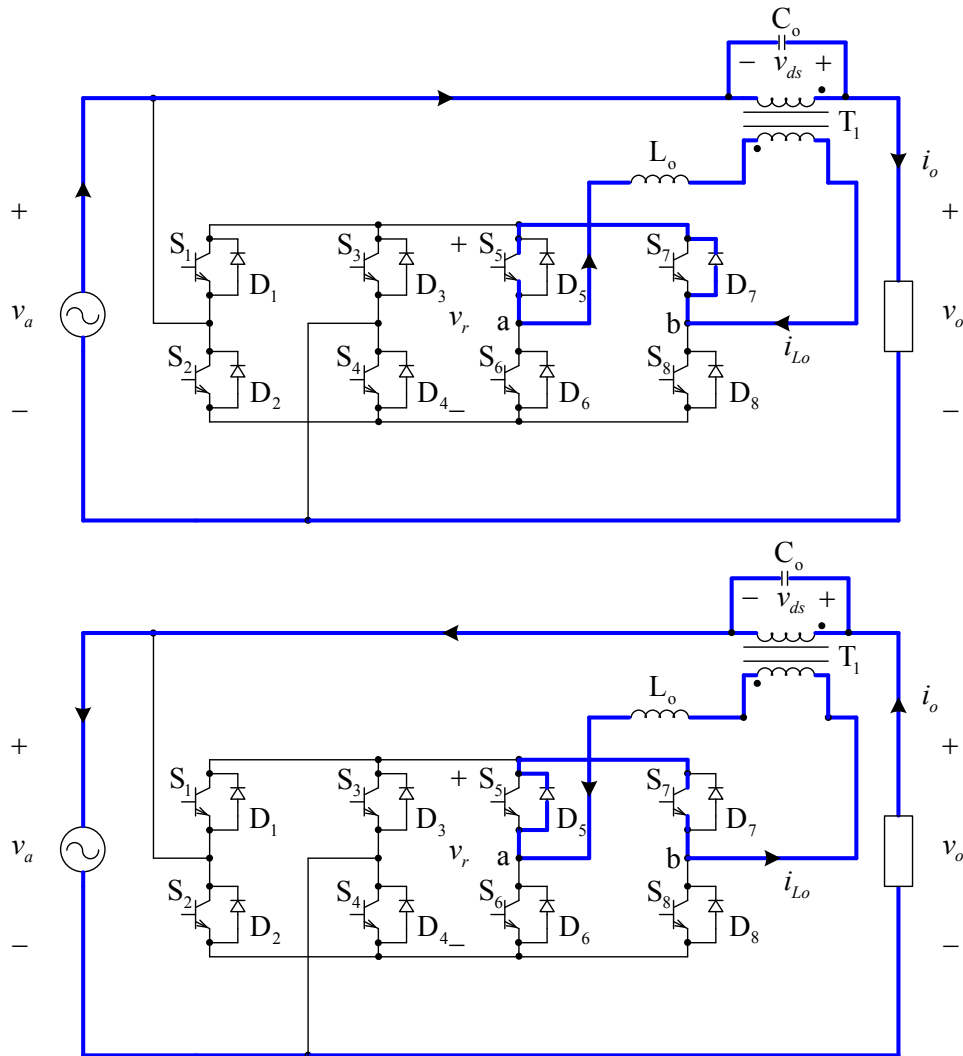


Fig. 1.9 - Segunda etapa de operação do inversor.

3. Os interruptores S_6 e S_7 estão habilitados (Fig. 1.10). A tensão v_{ab} é negativa. Sendo $i_o > 0$, a corrente i_{Lo} circula pelos diodos antiparalelos D_6 e D_7 ; caso contrário, i_{Lo} circula por S_6 e S_7 .

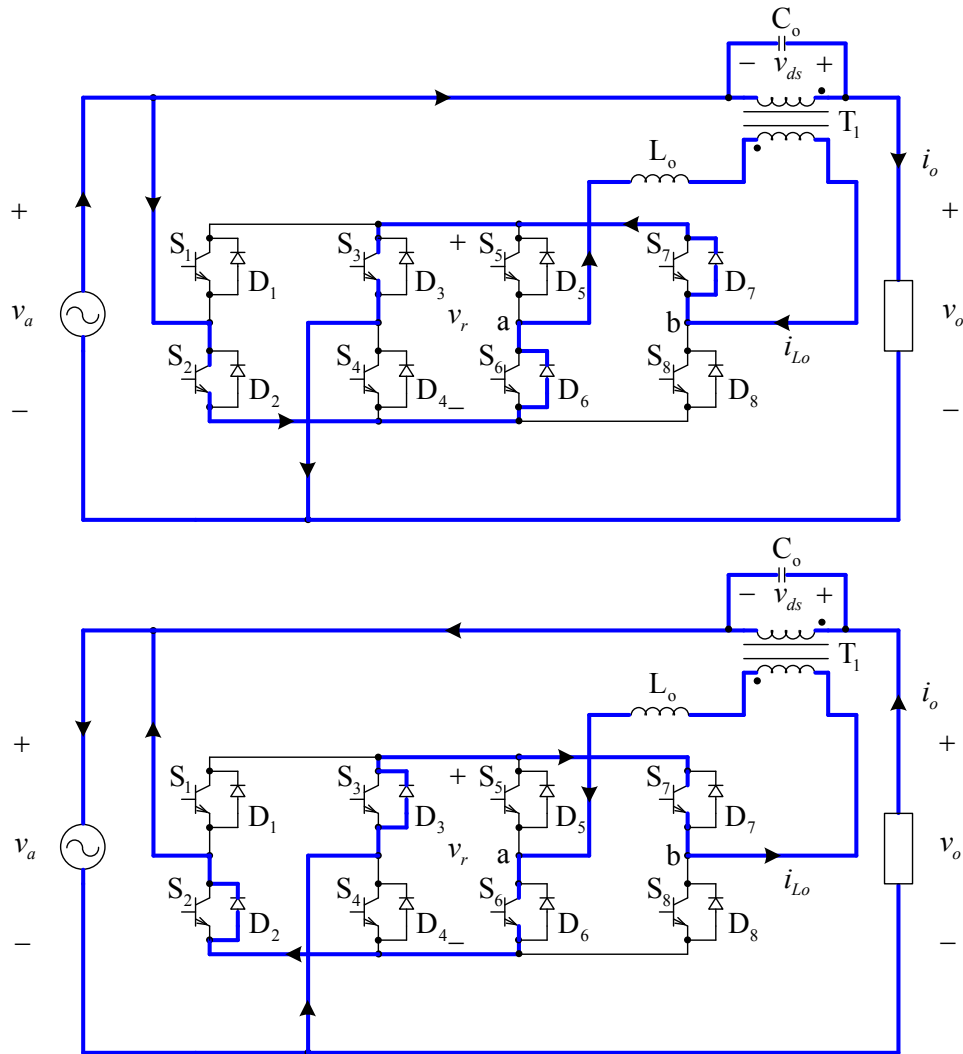


Fig. 1.10 - Terceira etapa de operação do inversor.

4. Os interruptores S_6 e S_8 estão habilitados (Fig. 1.11). A tensão v_{ab} é nula. Sendo $i_o > 0$, a corrente i_{Lo} circula por D_6 e S_8 ; caso contrário, i_{Lo} circula por S_6 e D_8 .

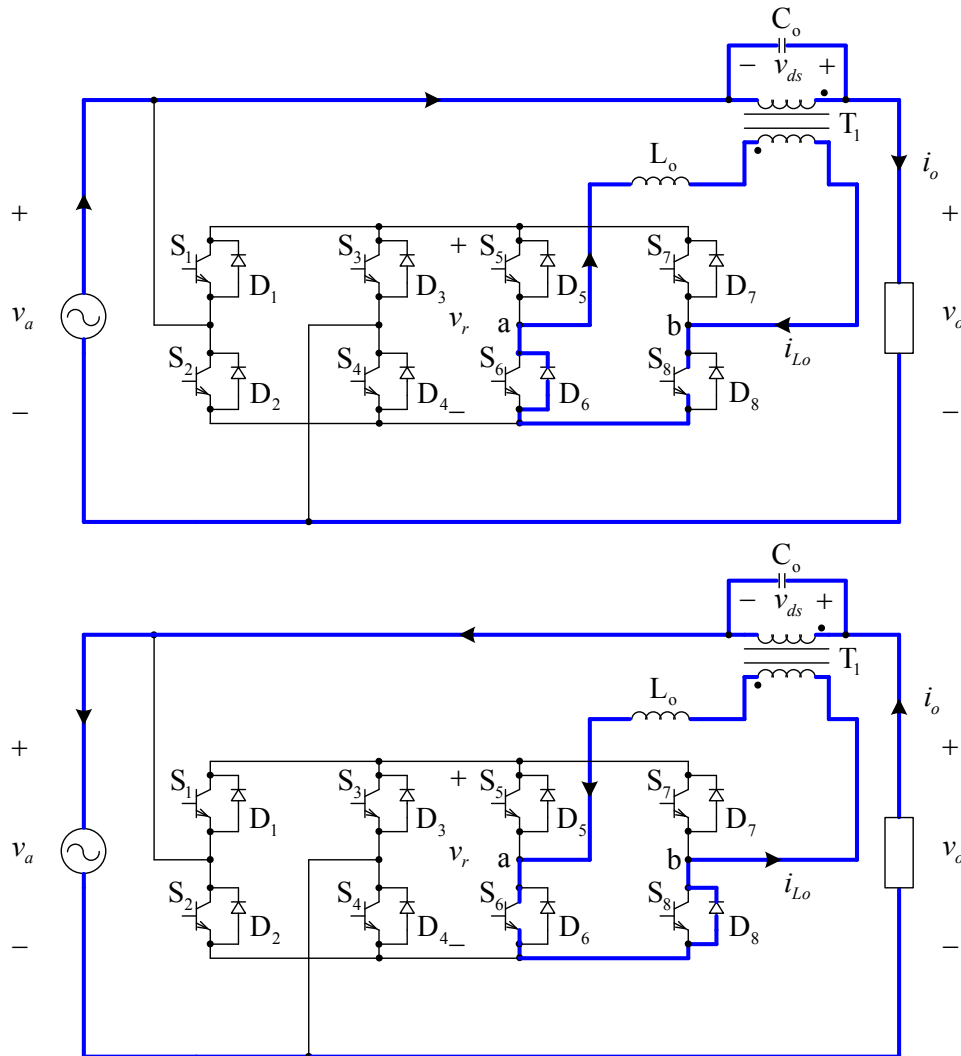


Fig. 1.11 - Quarta etapa de operação do inversor.

1.4 Ganho Estático

A expressão (1.3) representa a definição para o ganho estático, ou seja, a relação entre as tensões de entrada e de saída do condicionador. Para determinar o ganho estático do condicionador é necessário fazer algumas considerações: a frequência de comutação f_s é muito maior do que a frequência da rede f_r . Na frequência da rede a impedância do indutor

L_o pode ser considerada um curto-circuito e a impedância do capacitor C_o um circuito aberto, e a forma de onda da tensão da rede predominantemente senoidal e simétrica.

$$g(t) = \frac{v_o(t)}{v_a(t)} \quad (1.3)$$

A expressão para a tensão de saída pode ser obtida conforme (1.4) e a tensão de compensação por (1.5).

$$v_o(t) = v_a(t) + v_{ds}(t) \quad (1.4)$$

$$v_{ds}(t) = \frac{v_{dp}(t)}{N_1} = \frac{v_{ab}(t)}{N_1} \quad (1.5)$$

Substituindo (1.5) em (1.4) obtém-se a expressão (1.6) para a tensão de saída média instantânea $\overline{v_o}$:

$$\overline{v_o(t)} = v_a(t) + \frac{\overline{v_{ab}(t)}}{N_1} \quad (1.6)$$

Na Fig. 1.12 apresentam-se as formas de onda para modulação utilizada, considerando que a tensão de entrada seja constante durante o período de comutação do inversor.

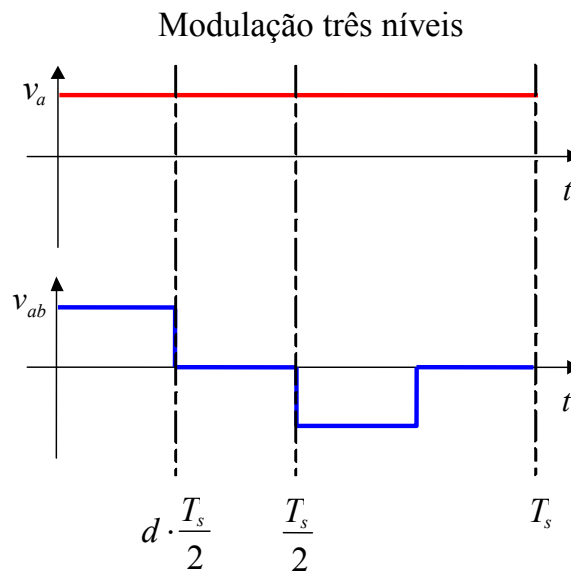


Fig. 1.12 - Formas de onda para o cálculo do ganho estático.

O valor médio para v_{ab} no período de comutação será:

$$\overline{v_{ab}(t)} = \frac{1}{T_s/2} \cdot \int_0^{d(t) \cdot T_s/2} v_a(t) \cdot dt \quad (1.7)$$

$$\overline{v_{ab}(t)} = v_a(t) \cdot d(t) \quad (1.8)$$

Substituindo (1.8) em (1.6) e usando (1.3) obtém-se a expressão do ganho estático para modulação a três níveis, sendo que a razão cíclica varia de -1 a 1.

$$g(t) = \frac{\overline{v_o(t)}}{v_a(t)} = \frac{N_1 + d(t)}{N_1} \quad (1.9)$$

1.5 Relação de Transformação

Para que o condicionador de tensão seja capaz de compensar as variações desejadas na tensão de entrada deve-se obter uma expressão para o cálculo da relação de transformação do transformador T_1 , uma vez que essa variável atua diretamente na tensão de compensação do conversor. A expressão (1.10) apresenta o cálculo da relação de transformação. Todos os passos para a obtenção de (1.10) podem ser verificados em [8].

$$N_1 = \frac{1 - \Delta^-}{\Delta^-} \cdot D_{\max} \quad (1.10)$$

Onde Δ^- corresponde à variação para menos da tensão de entrada (1.11) e $D_{\max}$ ao valor máximo estabelecido para razão cíclica d .

$$\Delta^- = 1 - \frac{v_{a_min}(t)}{v_{a_nom}(t)} \quad (1.11)$$

1.6 Ondulação de Corrente

Para a obtenção da ondulação de corrente no indutor L_o , foi considerado o transformador T_1 ideal além das considerações feitas no cálculo do ganho estático. A Fig. 1.13 apresenta o circuito equivalente e as formas de onda da corrente no indutor i_{L_o} e a tensão v_{ab} para o semiciclo positivo da tensão da rede.

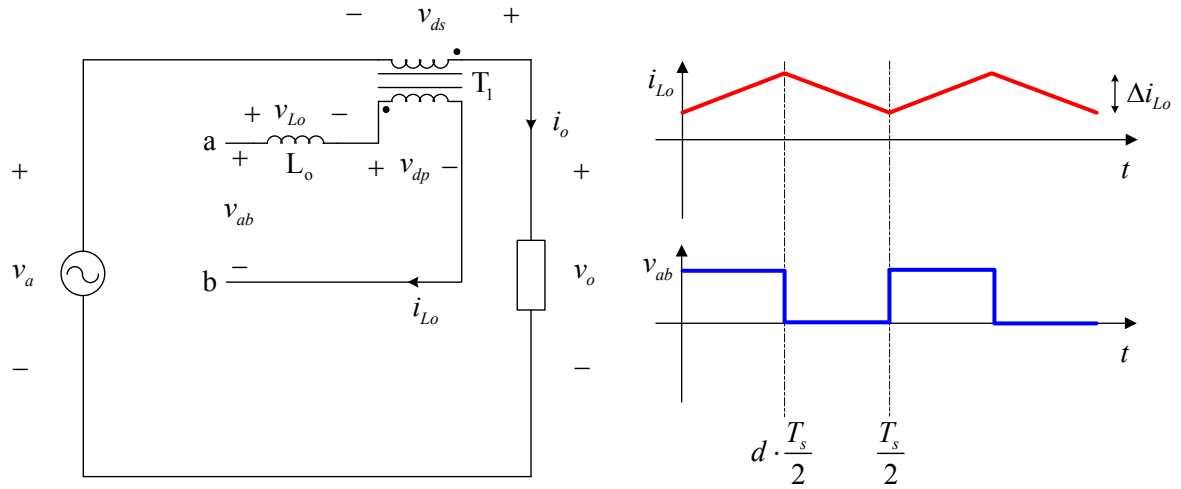


Fig. 1.13 - Circuito equivalente e formas de onda para obtenção da ondulação da corrente $i_{L_o}(t)$.

A expressão (1.12) apresenta a ondulação de corrente máxima no indutor L_o . Os passos desde a equação da malha do circuito equivalente até a obtenção de (1.12) estão apresentados em [8].

$$\Delta i_{L_o_max}(t)\% = \frac{100 \cdot v_{o_rms}^2 \cdot N_1}{S_o \cdot L_o \cdot F_s} \cdot \frac{d_{max}(t)}{2} \cdot \left| \frac{1}{N_1 + d_{max}(t)} \cdot (1 + d_{max}(t)) \right| \quad (1.12)$$

Onde $d_{max}(t)$ é obtido através de (1.13).

$$d_{max}(t) = -N_1 + \sqrt{N_1^2 - N_1} \quad (1.13)$$

1.7 Ondulação de Tensão

A Fig. 1.14 apresenta o circuito equivalente e as formas de onda para o cálculo da ondulação de tensão presente no capacitor de filtragem C_o . A expressão (1.14) representa o resultado final para obtenção da ondulação de tensão. Detalhes da dedução podem ser verificados em [8].

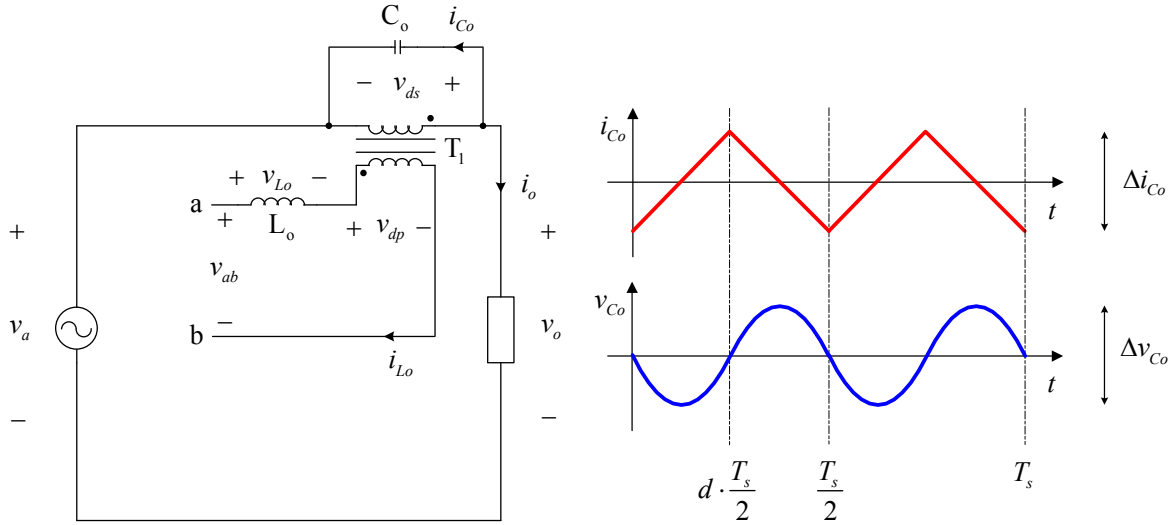


Fig. 1.14 - Circuito equivalente e formas de onda para obtenção da ondulação de tensão.

$$\Delta v_{Co_max}(t)\% = \frac{100 \cdot \overline{\Delta v_{Co_max}(t)} \cdot 4}{\pi^3 \cdot C_o \cdot L_o \cdot F_s^2} \quad (1.14)$$

Onde $\overline{\Delta v_{Co_max}(t)}$ é obtido a partir da equação (1.15).

$$\overline{\Delta v_{Co_max}(t)} = \left| \frac{d_{max}}{4} \cdot \frac{N_1^2}{N_1 + d_{max}} \cdot (1 + d_{max}) \right| \quad (1.15)$$

1.8 Conclusão

Nesse capítulo foi realizada uma análise teórica do estágio de potência do condicionador de tensão. Foram apresentadas as principais características da estrutura, quais sejam: estudo do fluxo de energia, etapas de operação, formas de onda e estratégia de modulação.

Além disso, foram apresentadas todas as expressões que envolvem o estágio de potência necessárias para elaboração de uma metodologia de projeto, a qual será apresentada em capítulo posterior.

Capítulo 2 Controle Digital

Na eletrônica de potência cada vez mais tem-se utilizado técnicas de controle digital via microcontroladores e *DSPs*. Isso se deve ao fato de esses componentes estarem cada vez mais sofisticados e economicamente atrativos. Outro fator preponderante surgiu da necessidade das áreas de controle, uma vez que a aplicação de técnicas complexas só se tornou viável com o advento dos microcontroladores e *DSPs*. [Equation Chapter 2 Section 1](#)

O controle digital via *DSP* de um conversor estático é composto de basicamente três etapas: aquisição dos sinais utilizados no sistema de controle, processamento dos dados e ação de controle via atuador.

A aquisição dos sinais é feita via conversor analógico-digital (A/D), o qual converte os sinais elétricos em dados. Na etapa de processamento dos dados onde é realizada a compensação, executa-se um algoritmo numérico que em geral é uma equação de diferenças. O resultado dessa equação gera uma ação de controle que deve ser aplicado a um ponto de saída *PWM* do processador. O estado lógico desse ponto indica o estado (bloqueado ou conduzindo) do interruptor a ser comandado.

Nos primeiros tópicos desse capítulo será apresentada uma breve revisão acerca dos tipos de projeto de controladores digitais e um estudo sobre a obtenção do sinal de referência utilizado nas malhas de controle do condicionador. Na sequência tem-se a estrutura de controle do condicionador e o projeto dos controladores presentes em cada uma das malhas. Por fim, serão mostrados alguns aspectos do *kit* de desenvolvimento para o *DSP* TMS302LF2407A e detalhes a respeito da programação.

2.1 Projeto de Controladores Digitais

O objetivo do projeto de controladores digitais resume-se na obtenção dos coeficientes da equação a diferenças. Basicamente existem três maneiras de se projetar um

controlador digital: projeto por aproximação, projeto no plano w e projeto direto no plano z .

2.1.1 Projeto por Aproximação

Nesse método todo o projeto do controlador deve ser feito no domínio s utilizando as técnicas convencionais para projeto em tempo contínuo, ou seja, por Bode ou lugar das raízes. No final, o compensador obtido no tempo contínuo deve ser convertido para o tempo discreto através do uso de um dos métodos de aproximação [12], tais como: método de Tustin ou transformação bilinear, método da transformação casada, método da transformação casada modificada e o método da transformação bilinear com distorção em frequência.

Deve-se lembrar que a localização dos pólos e zeros de malha fechada no plano s determina a estabilidade relativa e absoluta de um sistema de controle. Como as variáveis complexas s e z estão relacionadas pela equação (2.1), a localização dos pólos e zeros no plano s tem correspondência com a posição dos pólos e zeros no plano z . Em [13] a questão do mapeamento do plano s em z é discutida com detalhe.

$$z = e^{T \cdot s} \quad (2.1)$$

Outra informação que pode ser obtida da equação (2.1) é que o período T influencia diretamente na resposta dinâmica do sistema de controle discreto, sendo que alterando o período de amostragem altera-se a posição dos zeros e pólos no plano z , afetando assim o comportamento da resposta do sistema.

2.1.2 Projeto no Plano w

O projeto de controle de sistemas discretos utilizando o método da resposta em frequência diretamente no plano z se torna complicado uma vez que a frequência aparece em um termo exponencial $z = e^{j\omega T}$, perdendo a simplicidade oferecida pelos diagrama de Bode.

Para contornar esse fato, após se ter obtido a função de transferência da planta a ser controlada no domínio z , deve ser feita uma transformação da função de transferência no

plano z para o w através da transformada bilinear ou w , conforme mostra a expressão (2.2). No plano w , o projeto de compensadores pode ser feito utilizando as mesmas técnicas dos diagramas de Bode presentes em sistemas contínuos no plano s .

$$z = \frac{1 + \left(\frac{T}{2}\right) \cdot w}{1 - \left(\frac{T}{2}\right) \cdot w} \quad (2.2)$$

Isolando w na expressão (2.2), obtém-se a relação inversa. Detalhes sobre procedimentos de projeto em w podem ser obtidos em [12], [13] e [14].

2.1.3 Projeto no Plano z Utilizando o Lugar Geométrico das Raízes (LGR)

O projeto no plano z utilizando o lugar geométrico das raízes é feito com as funções de transferência do compensador e da planta no domínio z . Essa metodologia exige o uso de uma ferramenta computacional como o *software MATLAB*, uma vez que trabalhando diretamente no plano z , tanto o traçado do LGR como a elaboração do diagrama de Bode da função de transferência de interesse se tornam bastante complexos.

Caso seja decidido optar pelo projeto direto no plano z , podem ser utilizadas as etapas que seguem como guia na obtenção dos controladores discretos:

- Determina-se um modelo para a planta e obtém-se a função de transferência em s do conversor;
- Obtém-se a transformada z da função de transferência do conversor em s ;
- Determina-se o tipo de controlador a ser utilizado;
- Obtém-se a transformada z da função de transferência do controlador escolhido;
- São estabelecidos os critérios de posicionamento de pólos e zeros do controlador. A frequência de cruzamento e a margem de fase também são determinadas;
- Avalia-se o controlador calculado através da resposta ao degrau;

- Parâmetros como pólos, zeros e o ganho estático são reajustados caso necessário.

2.2 Obtenção do Sinal de Referência

Uma etapa fundamental para o controle do conversor proposto é a geração do sinal de referência. Tal sinal é responsável para que a saída do condicionador tenha uma tensão com valor eficaz constante, em fase com a tensão de entrada e com conteúdo harmônico reduzido. Mesmo nos condicionadores de tensão controlados analogicamente, há a necessidade de se utilizar um circuito para obtenção do sinal de referência.

Existem maneiras de gerar o sinal de referência, sendo necessário o uso de um microcontrolador ou um *DSP*. Uma destas seria utilizar uma rotina de detecção da passagem por zero da tensão de entrada para obter o sincronismo e, por intermédio de uma tabela composta por uma senóide presente na memória de dados, gera-se a referência desejada. Outra possibilidade é utilizar um sistema *DPLL* (*Digital Phase Locked Loop*), o qual é capaz de extrair com precisão informações da tensão da rede elétrica, como por exemplo a frequência e a fase.

Detalhes sobre cada uma das formas de se obter o sinal de referência estão apresentadas nos itens subseqüentes.

2.2.1 Geração da Referência Através da Detecção da Passagem por Zero

A grande vantagem do uso da metodologia da detecção da passagem por zero está na simplicidade de implementação. Utilizando um microcontrolador que possui um conversor A/D, amostra-se a tensão de entrada do conversor e passa-se o valor obtido por uma rotina de detecção da passagem por zero. Uma vez detectada a passagem por zero, o valor presente na primeira posição da tabela de seno é utilizado como valor de referência nas malhas de controle até que uma nova amostra da tensão de entrada seja feita, incrementado assim o ponteiro de referência para a segunda posição da tabela. Isso se repete até que o ponteiro atinja o final da tabela, recomeçando todo o processo.

O número de pontos da tabela depende necessariamente da frequência do sinal amostrado, ou seja, da frequência da rede elétrica e da frequência de amostragem. Em [6], [7] e [9] foi utilizado um controle analógico associado à metodologia de detecção da passagem por zero. Sendo assim, o valor de referência é disponibilizado em uma porta de saída digital do microcontrolador e, posteriormente, convertido em um sinal analógico, através de um conversor D/A, para finalmente ser aplicado às malhas de controle do conversor.

Duas são as desvantagens do uso dessa metodologia:

- Erros na detecção da passagem por zero ocasionados por ruídos presente no sinal amostrado. Ou seja, a rotina pode detectar a passagem por zero em um instante deslocado do real.
- A tabela é estática e calculada para a frequência da rede, sendo assim, para o sinal de referência acompanhar variações na frequência da rede, deve ser incluída uma rotina que detecta tal variação e altera a velocidade de leitura da tabela.

2.2.2 Referência Utilizando Sistema *DPLL*

Grande parte dos sistemas de controle conectados à rede elétrica necessita de informações precisas referentes a fase e a frequência do sistema, sendo que a maior parte deles utiliza algum tipo de circuito *PLL* (*Phase Locked Loop*). As estruturas *PLL* convencionais surgiram a partir de um modelo analógico clássico de controle por realimentação, composto basicamente por um detector de fase, um filtro passa-baixas e um oscilador controlado por tensão [15] e [16].

A fim de se adequar às novas configurações da rede elétrica, como distorções ocasionadas pelo crescente emprego de cargas não-lineares e transitórios, novos algoritmos e circuitos *PLL* vêm sendo apresentados no meio acadêmico [17], [18] e [19]. De modo a obter uma rápida resposta dinâmica, robustez perante as perturbações e precisão, a implementação desses novos circuitos só se torna possível utilizando um microcontrolador ou *DSP*.

Assim, sistemas *DPLL*, devido à capacidade de obter com precisão informações da tensão como a frequência e o ângulo de fase, têm se tornado uma solução atrativa para o problema do sinal de referência de condicionadores de tensão e de outros equipamentos que necessitam de circuitos de sincronismo.

Em [20] é apresentado um estudo de três circuitos *PLL* monofásico, as quais se diferem pela forma como é gerado o sinal em quadratura, sendo elas: Transformada Inversa de Park, Transformada de Hilbert e atraso de transporte. Tais estruturas, por utilizar algoritmos complexos, possuem tempos de cálculo elevados sendo uma desvantagem para aplicações onde o tempo é relevante.

Outra estratégia para o *PLL* monofásico, apresentada em [21], tem como principal característica a facilidade de implementação pois deriva de uma estrutura trifásica baseada na teoria da potência instantânea trifásica. Por utilizar algoritmos simples tem como vantagem o tempo de cálculo reduzido, quando comparado com as estruturas apresentadas por [20].

Assim, pelo fato de apresentar tempo de cálculo reduzido e pela simplicidade de implementação, optou-se por utilizar nesse trabalho a estratégia proposta por [21]. O projeto dos compensadores do sistema *DPLL* será feito utilizando o método por aproximação. Sendo assim, todas as estruturas serão estudadas e simuladas no domínio *s* e ao final os compensadores discretos serão obtidos utilizando um dos métodos de aproximação.

2.2.2.1 Circuito *PLL* Trifásico

O sistema *PLL* monofásico proposto por [21] foi obtido a partir de simplificações, usando identidades trigonométricas, de um *PLL* trifásico. O sistema *PLL* trifásico é baseado na teoria da anulação da componente contínua da potência trifásica instantânea.

A Fig. 2.1 mostra um circuito *PLL* trifásico. As três tensões são adquiridas a partir do sistema de potência, já as três correntes são fictícias, produzidas internamente ao *PLL* através de blocos seno.

As tensões do sistema trifásico podem ser definidas pela expressão (2.3) e θ_1 corresponde ao ângulo variante no tempo da tensão da fase “a”. Nota-se que para efeito de

demonstração do princípio de funcionamento do *PLL* proposto, foi utilizado um sistema trifásico balanceado e com tensões livres de harmônicos. Tal fato difere do que é encontrado na prática, o que requer um cuidado maior no projeto do controlador PI da estrutura apresentada na Fig. 2.1. Esses detalhes serão discutidos no item 2.2.2.3.

$$\begin{aligned} v_a(t) &= A \cdot \text{sen}(\theta_1(t)) \\ v_b(t) &= A \cdot \text{sen}(\theta_1(t) - 120^\circ) \\ v_c(t) &= A \cdot \text{sen}(\theta_1(t) + 120^\circ) \end{aligned} \quad (2.3)$$

As correntes fictícias geradas internamente seguem a expressão (2.4) e θ_2 corresponde ao ângulo variante no tempo da corrente da fase a.

$$\begin{aligned} i_a(t) &= B \cdot \text{sen}(\theta_2(t)) \\ i_b(t) &= B \cdot \text{sen}(\theta_2(t) - 120^\circ) \\ i_c(t) &= B \cdot \text{sen}(\theta_2(t) + 120^\circ) \end{aligned} \quad (2.4)$$

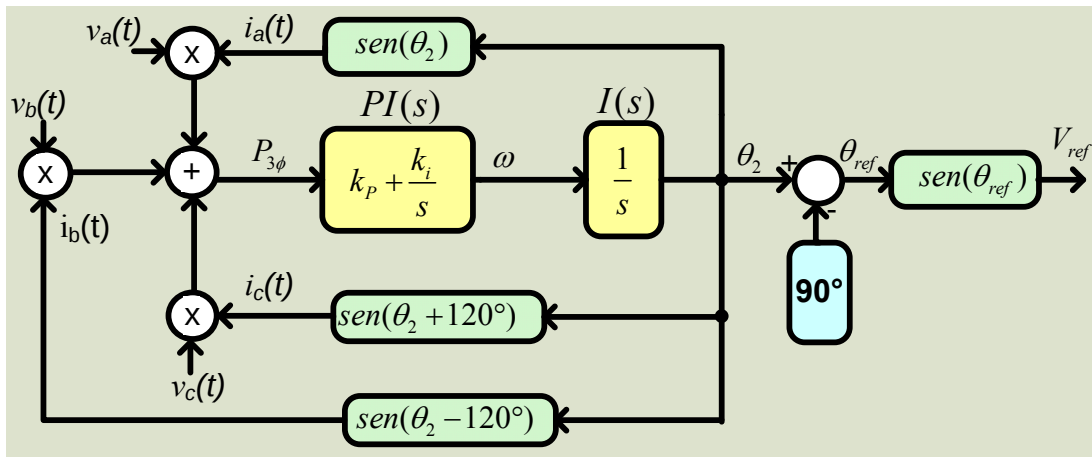


Fig. 2.1 - Circuito PLL trifásico.

A potência instantânea é dada por:

$$P_{3\phi}(t) = v_a(t) \cdot i_a(t) + v_b(t) \cdot i_b(t) + v_c(t) \cdot i_c(t) \quad (2.5)$$

Substituindo (2.3) e (2.4) em (2.5) e com algumas manipulações matemáticas apresentadas em [22] chega-se à expressão (2.6).

$$P_{3\phi}(t) = \frac{3}{2} \cdot A \cdot B \cdot \cos(\theta_1(t) - \theta_2(t)) \quad (2.6)$$

Nota-se que para obter a equação (2.6) foram feitas simplificações considerando o sistema balanceado e com tensões sem presença de harmônicas.

A função do controlador PI presente no circuito do *PLL* é a de anular a $P_{3\phi}(t)$ e isso só é possível se os ângulos θ_1 e θ_2 estiverem em quadratura. Portanto, existem dois pontos de operação os quais tornam o resultado da expressão (2.6) igual a zero: um quando as correntes fictícias estão atrasadas de 90° das respectivas tensões e outro no qual estas encontram-se adiantadas de 90° . Em [21] prova-se que o sistema será estável apenas se as correntes fictícias estiverem adiantadas de 90° das tensões. Isso justifica o fato de subtrair 90° de θ_2 para obter θ_{ref} conforme consta na Fig. 2.1.

Assim, em regime permanente, a saída do PI ω será constante e igual a frequência angular do setor elétrico. O ângulo θ_2 , ou seja, ωt , é obtido a partir da integração (bloco $I(s)$) de ω . Um cuidado especial deve ser tomado na implementação em *DSP* ou microcontrolador, pois o valor de θ_2 deve ser reinicializado toda vez que atingir os 360° , uma vez que o resultado da integral de uma constante é uma rampa, o ângulo θ_2 poderá atingir valores que gerariam um *overflow* dos registros do *DSP* ou microcontrolador. Detalhes da implementação do algoritmo do *PLL* serão discutidos no item 2.5.

2.2.2.2 Circuito *PLL* Monofásico

Analisando o circuito apresentado na Fig. 2.1, a obtenção do circuito monofásico torna-se algo bastante simples, basta substituir as tensões $v_b(t)$ e $v_c(t)$ retiradas do sistema de potência por tensões obtidas a partir de θ_{ref} do sistema em malha fechada, como mostra a Fig. 2.2.

Para obter um circuito monofásico simplificado, deve-se chegar a uma expressão para $p_b + p_c$ calculados internamente conforme a Fig. 2.2. Para isso, consideram-se as amplitudes da tensão $v_a(t)$, das tensões e correntes fictícias unitárias. Reescrevendo a expressão (2.5) tem-se:

$$p_{3\phi}(t) = p_a(t) + p_b(t) + p_c(t) \quad (2.7)$$

$$p_b(t) + p_c(t) = v_b(t) \cdot i_b(t) + v_c(t) \cdot i_c(t) \quad (2.8)$$

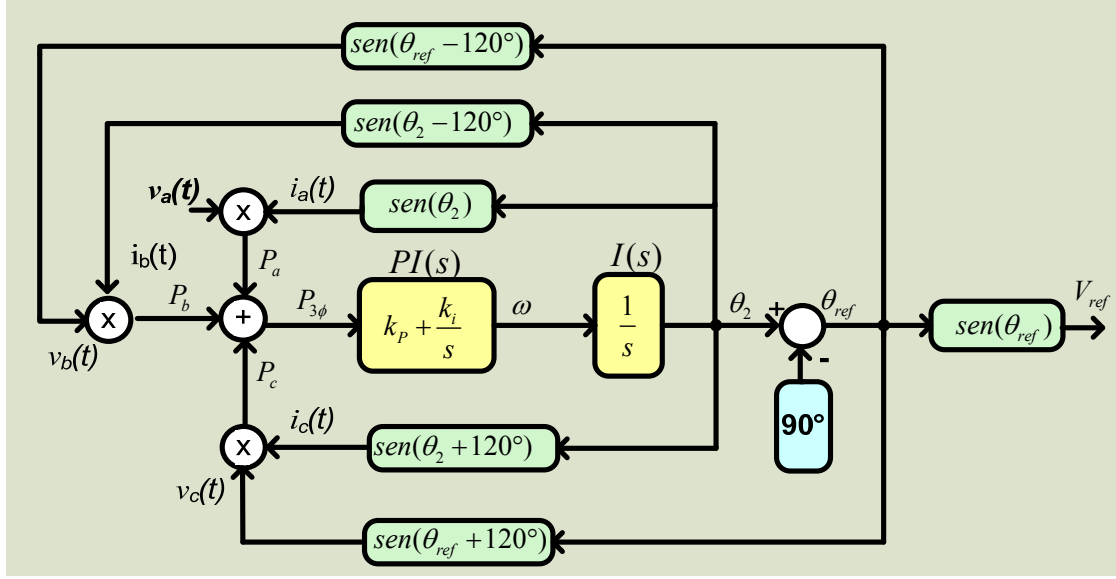


Fig. 2.2 - Circuito PLL monofásico.

Substituindo (2.3) e (2.4) em (2.8) com amplitudes unitárias, chega-se a:

$$p_b(t) + p_c(t) = \text{sen}(\theta_1(t) - 120^\circ) \cdot \text{sen}(\theta_2(t) - 120^\circ) + \text{sen}(\theta_1(t) + 120^\circ) \cdot \text{sen}(\theta_2(t) + 120^\circ) \quad (2.9)$$

$$p_b(t) + p_c(t) = \frac{1}{2} \cdot [\cos(\theta_1(t) - \theta_2(t)) - \cos(\theta_1(t) + \theta_2(t) + 120^\circ) + \cos(\theta_1(t) - \theta_2(t)) - \cos(\theta_1(t) + \theta_2(t) - 120^\circ)] \quad (2.10)$$

Considerando que em regime $\theta_1(t) = \theta_2(t) - 90^\circ$, tem-se:

$$p_b(t) + p_c(t) = -\frac{1}{2} \cdot [\cos(2 \cdot \theta_2(t) + 30^\circ) + \cos(2 \cdot \theta_2(t) + 150^\circ)] \quad (2.11)$$

$$p_b(t) + p_c(t) = -\frac{1}{2} \cdot \left[-\frac{1}{2} \text{sen}(2\theta_2(t)) - \frac{1}{2} \text{sen}(2\theta_2(t)) \right] \quad (2.12)$$

$$p_b(t) + p_c(t) = \frac{1}{2} \text{sen}(2\theta_2(t)) \quad (2.13)$$

A partir de (2.13) o circuito monofásico apresentado na Fig. 2.2 pode ser simplificado como mostra a Fig. 2.3.

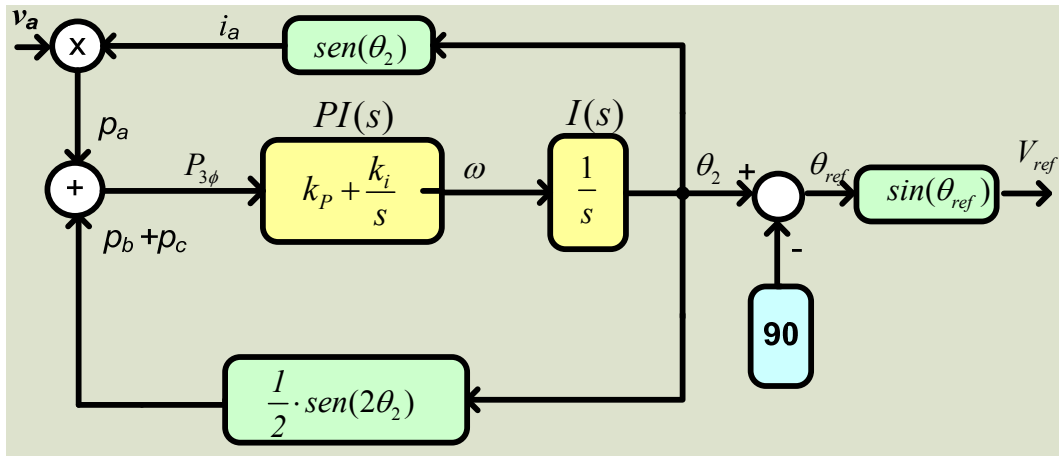


Fig. 2.3 - Circuito PLL monofásico simplificado.

As considerações a respeito do controlador PI e idealizações do sistema como tensões balanceadas expostas no subitem circuito *PLL* trifásico também são válidas para o circuito monofásico simplificado da Fig. 2.3. Esse circuito possui apenas 2 realimentações, 3 a menos que o da Fig. 2.2, sendo portanto o escolhido para obter o sinal de referência necessário ao sistema de controle do condicionador de tensão.

2.2.2.3 Projeto do Controlador PI e Resultados de Simulação

A dedução dos circuitos *PLL* nas sessões anteriores foram feitas considerando as tensões da rede balanceadas e livres de harmônicas. Essa configuração idealizada torna o projeto do compensador bastante simples, uma vez que em regime $p_{3\phi}$ se estabiliza em zero, sendo necessário apenas ajustar os ganhos k_p e k_i para que o sistema tenha uma resposta dinâmica rápida.

No entanto, as tensões disponibilizadas pela rede elétrica possuem certo conteúdo harmônico e nem sempre estão balanceadas. Isso introduz uma componente alternada em $p_{3\phi}$ que deve ser levada em conta no ajuste dos ganhos do controlador para que o efeito causado por essa componente seja minimizado e as oscilações em ω estejam dentro de um valor tolerado visando o correto funcionamento do *PLL*.

Quando houver uma variação na amplitude da tensão v_a , observa-se a presença de uma oscilação de 120Hz em $p_{3\phi}$, e conseqüentemente em ω . Assim, deve haver um comprometimento no ajuste dos ganhos do compensador para que se tenha uma resposta

dinâmica rápida e uma atenuação das oscilações de 120Hz . No caso de tensões com elevado conteúdo harmônico, as oscilações resultantes são de frequências superiores a 120Hz . Portanto, o projeto de um controlador que atenue as oscilações de 120Hz terá como consequência uma maior atenuação das oscilações superiores.

A partir das informações apresentadas anteriormente, tem-se um ponto de partida para a configuração do controlador PI. A expressão (2.14) mostra a função de transferência de laço aberto ($FTLA$) do sistema PLL , sendo que as expressões (2.15) e (2.16) representam respectivamente o módulo e a fase de $FTLA_{PLL}(s)$ para ω igual a ω_c (frequência de cruzamento).

$$FTLA_{PLL}(s) = \frac{k_i + k_p \cdot s}{s} \cdot \frac{1}{s} \quad (2.14)$$

$$\left| \frac{k_i + j \cdot k_p \cdot \omega_c}{(j \cdot \omega_c)^2} \right| = 1 \quad (2.15)$$

$$\angle \left(\frac{k_i + j \cdot k_p \cdot \omega_c}{(j \cdot \omega_c)^2} \right) = -(180^\circ - MF) \quad (2.16)$$

Onde MF corresponde a margem de fase desejada. Resolvendo as expressões (2.15) e (2.16) obtêm-se as expressões (2.17) e (2.18), nas quais arbitrando os valores para a frequência de corte e para a margem de fase obtêm-se os valores dos ganhos k_p e k_i .

$$\omega_c^4 - k_p^2 \cdot \omega_c^2 - k_i^2 = 0 \quad (2.17)$$

$$\frac{k_p \cdot \omega_c}{k_i} = \text{tg}(MF) \quad (2.18)$$

Utilizando como ponto de partida uma frequência de cruzamento de 40Hz e uma margem de fase de 60° os valores de k_p e k_i são:

$$k_p = 217,6 \quad k_i = 31582,7 \quad (2.19)$$

O diagrama de Bode da $FTLA_{PLL}(s)$, com os ganhos anteriormente calculados, está apresentado na Fig. 2.4 e a atenuação do sistema para as oscilações de 120Hz está em torno de 10dB .

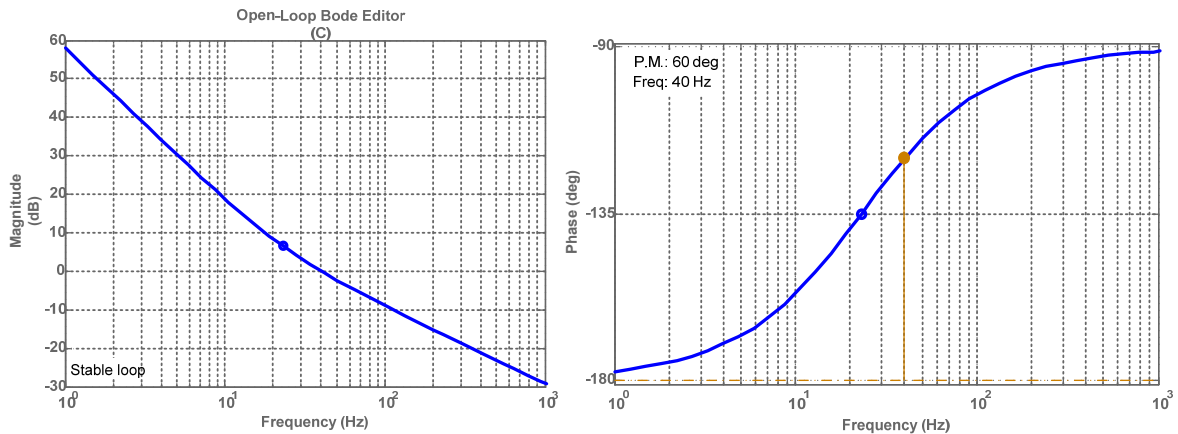


Fig. 2.4 - Diagrama de Bode de módulo e fase da $FTLA_{PLL}$.

Para testar o desempenho do circuito PLL com os ganhos do controlador PI apresentados na expressão (2.19) foi utilizado o *software* de simulação PSIM. Depois de efetuados diversos ensaios, conclui-se que o circuito não operou de maneira satisfatória uma vez que a tensão de referência ficou deformada quando aplicado um degrau de -20% na tensão de entrada. Isso mostra que a atenuação para as oscilações de $120Hz$ presentes na $p_{3\phi}$ não foi suficiente para que a tensão de referência ficasse livre de deformações, como mostra a Fig. 2.5. Tais deformações ficam evidentes no gráfico do ângulo θ_{ref} .

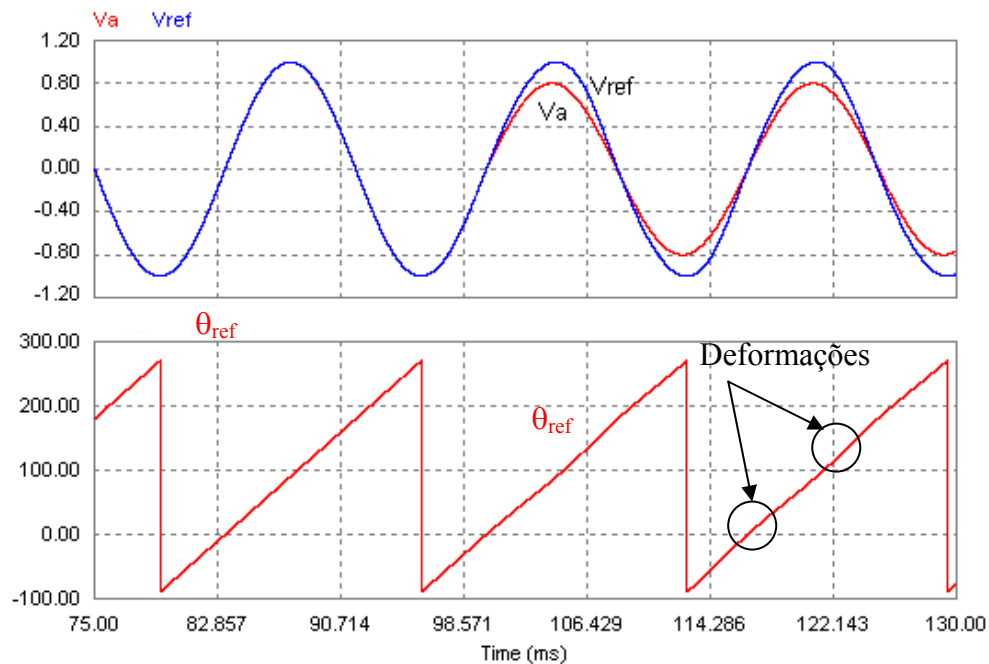


Fig. 2.5 - Gráfico superior: tensão v_a e sinal de referência ; gráfico inferior: θ_{ref} .

Assim, fazendo o reprojetado para frequências de cruzamento inferiores a 40Hz e utilizando o PSIM para simulação, chegou-se aos valores $k_p = 116$ e $k_i = 3500$.

A função de transferência de laço aberto do sistema em questão está apresentada na expressão (2.20) e os diagramas de Bode de módulo e fase estão apresentados na Fig. 2.6.

$$FTLA_{PLL}(s) = \frac{3500 + 116 \cdot s}{s} \cdot \frac{1}{s} \quad (2.20)$$

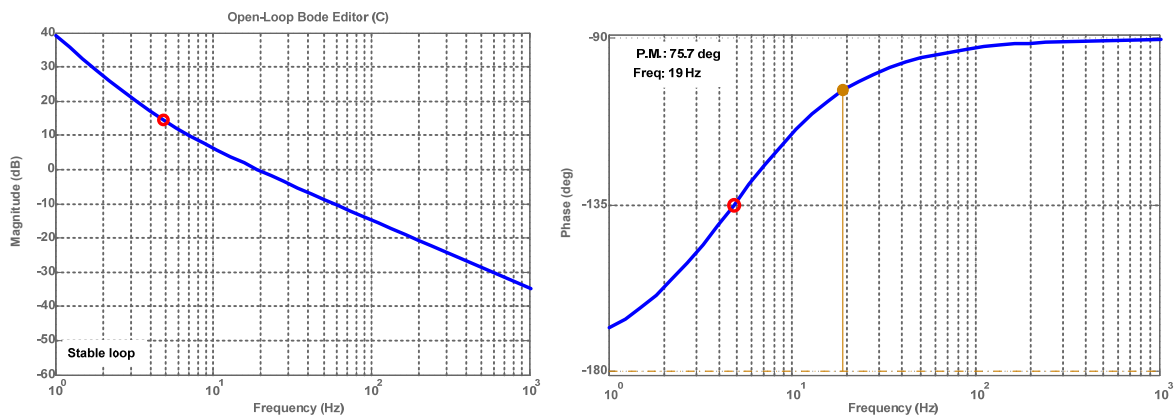


Fig. 2.6 - Diagramas de Bode de módulo e de fase da $FTLA_{PLL}$.

De acordo com a Fig. 2.6, a frequência de cruzamento está em 19Hz e calculando o valor do módulo em dB para a frequência de 120 Hz obtém-se $-16,24\text{dB}$, ou seja, uma atenuação de aproximadamente 16dB .

Os resultados de simulação, utilizando o *software* PSIM, do circuito *PLL* proposto com o controlador PI ajustado conforme (2.20) estão apresentados na sequência. Na Fig. 2.7 tem-se a tensão v_a sem distorções e o sinal de referência. Nota-se que a partir de $0,05\text{s}$ a diferença entre os dois sinais é quase imperceptível, mesmo com o sistema ainda fora do regime permanente, o qual, segundo a Fig. 2.8, é atingido a partir do instante $0,23\text{s}$ onde ω atinge o valor de aproximadamente 377rad/s .

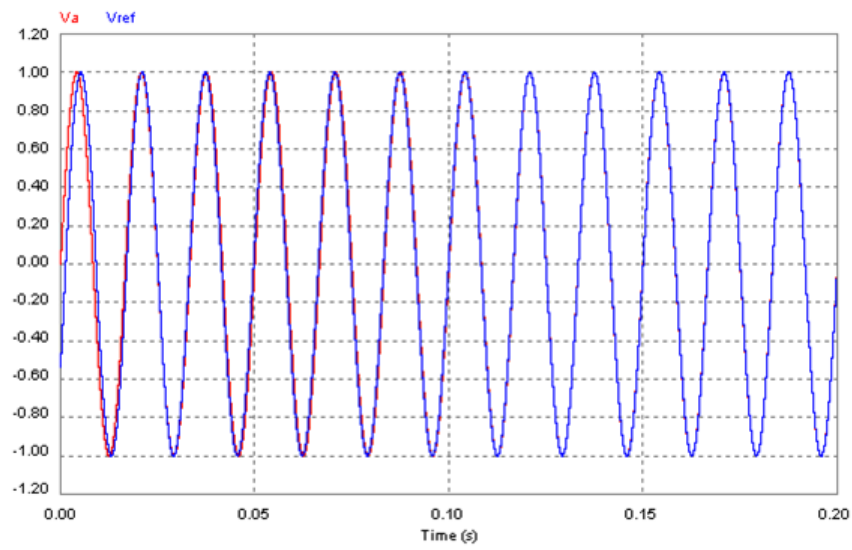


Fig. 2.7 - Tensão v_a (sem distorções) e sinal de referência.

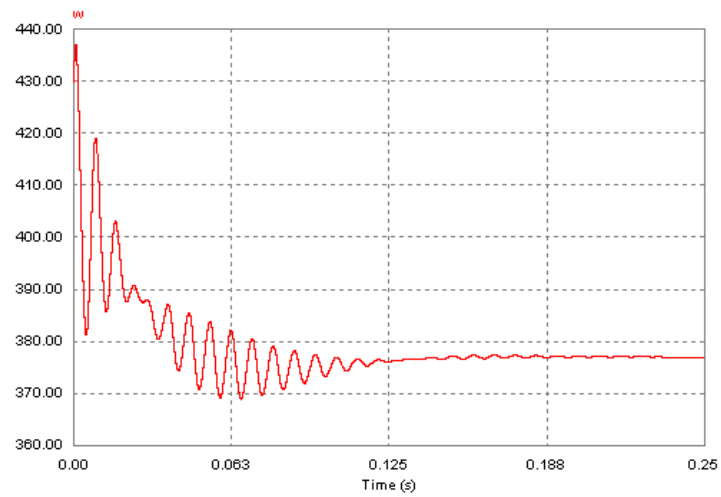


Fig. 2.8 - Gráfico de ω .

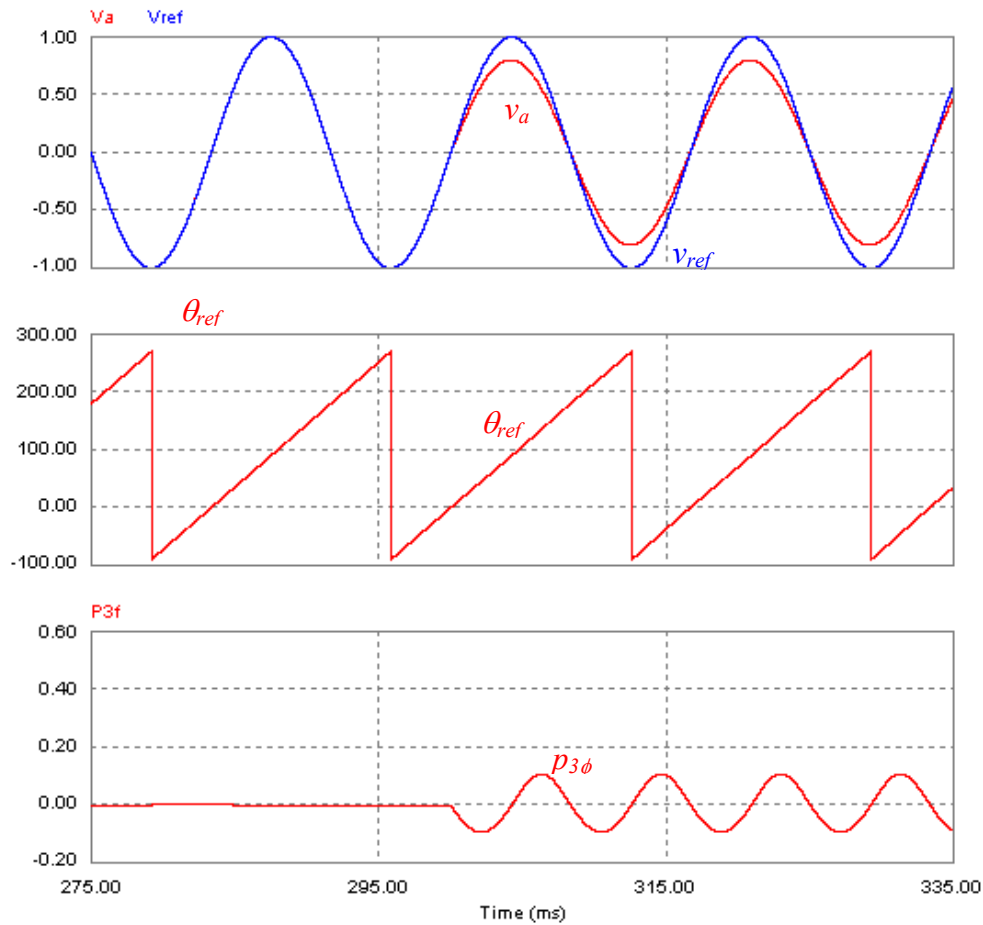


Fig. 2.9 - Degrau de -20% na tensão de entrada v_a .

Na Fig. 2.9 um degrau de -20% na amplitude de v_a é aplicado no instante t igual a 300ms e no gráfico de p_{3f} nota-se a presença da oscilação de 120Hz, a qual não alterou o formato do sinal de referência, conforme mostra o gráfico de θ_{ref} , onde a rampa ficou livre de ondulações diferindo do gráfico da Fig. 2.5.

Portanto, a atenuação de 16dB foi suficiente para impedir que as ondulações presentes na p_{3f} fossem refletidas no sinal de referência.

Outro teste foi feito aplicando ao circuito PLL uma tensão v_a bastante distorcida e, conforme apresentado na Fig. 2.11, o sinal de referência se mantém senoidal e em fase com a tensão v_a . A Fig. 2.10 mostra a presença de ruídos no sinal de p_{3f} ocasionados pela distorção em v_a . Tais ruídos são atenuados pelo controlador PI projetado resultando no sinal de referência isento de distorções apresentado na Fig. 2.11.

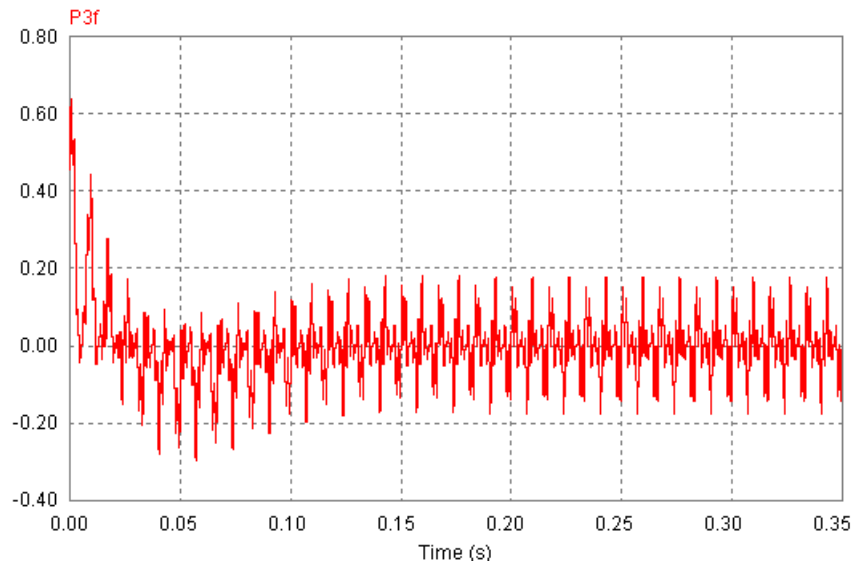


Fig. 2.10 - Sinal de $p_{3\phi}$ com v_a distorcida.

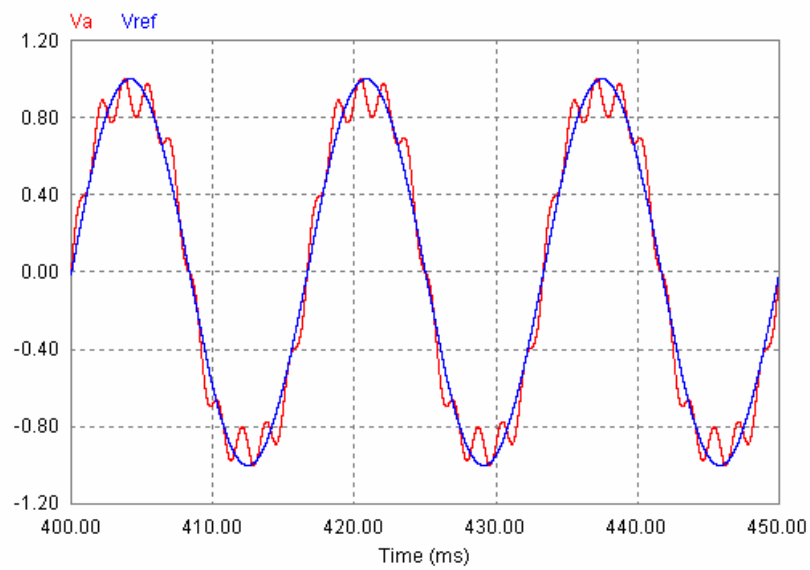


Fig. 2.11 - Sinal de referência com v_a distorcida.

A obtenção tanto do controlador PI quanto do integrador no domínio z foi feita utilizando o método de Tustin de discretização, também conhecido por aproximação bilinear. Esse método consiste em substituir a variável s pela expressão (2.21):

$$s = \frac{2}{T_a} \cdot \frac{(z-1)}{(z+1)} \quad (2.21)$$

Onde T_a é igual a $\frac{1}{f_a}$, sendo f_a a frequência de amostragem do sistema. Assim, as funções de transferência no domínio z para o controlador PI e para o integrador estão apresentadas respectivamente nas equações (2.22) e (2.23).

$$C_{PI_PLL}(z) = 116 \cdot \frac{z - 0,998}{z - 1} \quad (2.22)$$

$$C_{I_PLL}(z) = 0,000025 \cdot \frac{z + 1}{z - 1} \quad (2.23)$$

As equações a diferenças para o PI e para o I a serem implementadas no *DSP* na rotina de obtenção do sinal de referência podem ser verificadas nas expressões (2.24) e (2.25), respectivamente.

$$u(k) = u(k-1) + 116 \cdot e_p(k) - 115,76 \cdot e_p(k-1) \quad (2.24)$$

$$u_i(k) = u_i(k-1) + 0,000025 \cdot e_i(k) + 0,000025 \cdot e_i(k-1) \quad (2.25)$$

2.3 Estrutura de Controle do Condicionador de Tensão

Diferentes técnicas podem ser empregadas para o controle da tensão de saída do condicionador proposto, tais como: controle por detecção ortogonal, pré-alimentação, modo corrente e realimentação da tensão de saída [8]. Cada técnica possui vantagens e desvantagens as quais devem ser levadas em conta de acordo com as necessidades da aplicação do conversor ca-ca.

O controle por pré-alimentação da tensão de entrada, também conhecido por *feedforward*, tem por objetivo obter a razão cíclica a partir da tensão de entrada comparada com uma tensão de referência. Pelo fato de a razão cíclica não depender da tensão de saída (expressão (2.28)), o conversor poderá apresentar erro em regime permanente na saída e as quedas de tensão do circuito não serão compensadas. Esse tipo de controle é bastante eficiente na correção de perturbações na tensão de entrada e, por isso, tem sido largamente utilizado nos restauradores dinâmicos de tensão [23], fontes ininterruptas de energia [24] e nos conversores cc-cc *boost* [23] e [25]. Porém, se torna insuficiente para o controle do

condicionador de tensão uma vez que não elimina totalmente os erros relacionados ao valor eficaz da tensão de saída.

$$g(t) = \frac{v_o(t)}{v_a(t)} = \frac{N_1 + d(t)}{N_1} \quad (\text{ganho estático}) \quad (2.26)$$

$$d(t) = N_1 \cdot \frac{(v_o(t) - v_a(t))}{v_a(t)} \quad (\text{razão cíclica}) \quad (2.27)$$

$$d(t) = N_1 \cdot \frac{(v_{o_ref}(t) - v_a(t))}{v_a(t)} \quad (2.28)$$

A técnica de determinar a razão cíclica subtraindo a tensão de saída de uma referência senoidal e depois compensar o sinal de erro é chamada de controle por realimentação da tensão de saída. Esse controle tem como vantagem a simplicidade e facilidade de implementação. No entanto, os distúrbios na tensão de entrada e na carga não serão eliminados antes dos seus efeitos aparecerem na tensão de saída, e dependendo do tipo de controlador utilizado a compensação se restringe apenas ao valor eficaz da tensão de saída, ou seja, não corrige distúrbios no formato na tensão.

No presente trabalho, optou-se por utilizar uma técnica de controle que une o controle *feedforward* ao controle por realimentação da tensão de saída. Sendo assim, a malha de *feedforward* garante rapidez na resposta a perturbações na tensão de entrada, corrigindo inclusive o formato quando divergir do sinal de referência. Os erros relacionados ao valor eficaz são corrigidos pela malha de controle do valor eficaz na qual a tensão de saída do conversor é comparada com uma tensão de referência e o sinal de erro é aplicado a um controlador que garanta erro nulo em regime permanente.

Além da duas malhas de tensão, faz-se necessária a inclusão de uma malha de controle de corrente para eliminar um possível valor médio na corrente i_{Lo} que circula no primário do transformador T_1 . Tal valor médio surge devido às assimetrias nos comandos do inversor para cada semiciclo da rede (positivo e negativo), surgindo uma componente contínua na tensão v_{ab} na saída da parte inversora do condicionador.

Se não houver uma ação de controle para eliminar o valor médio na tensão v_{ab} a corrente i_{Lo} ficará limitada apenas pela resistência dos condutores e enrolamentos do

primário do transformador e do indutor L_o , podendo atingir valores destrutivos aos semicondutores da parte inversora.

Na Fig. 2.12 tem-se o diagrama completo da estrutura de controle do condicionador de tensão. Os sinais de tensão de entrada v_a , de saída v_o e corrente no indutor i_{Lo} passam por circuitos de interface para atingir o formato adequado (0 a $3,3V$) para serem aplicados nos canais do conversor analógico-digital do *DSP*. Esses circuitos vão desde os sensores de efeito *hall* até os filtros *anti-aliasing*. O sinal de controle resultante da soma do sinal da malha de *feedforward* com o da malha de controle do valor eficaz é aplicado ao modulador *PWM*, o qual disponibiliza os sinais nas portas de saída *PWM* do *DSP*. Esses sinais passam por um circuito de comando (*driver*) para serem ajustados com forma, amplitude e tempo morto apropriado para o comando dos interruptores da parte inversora do conversor.

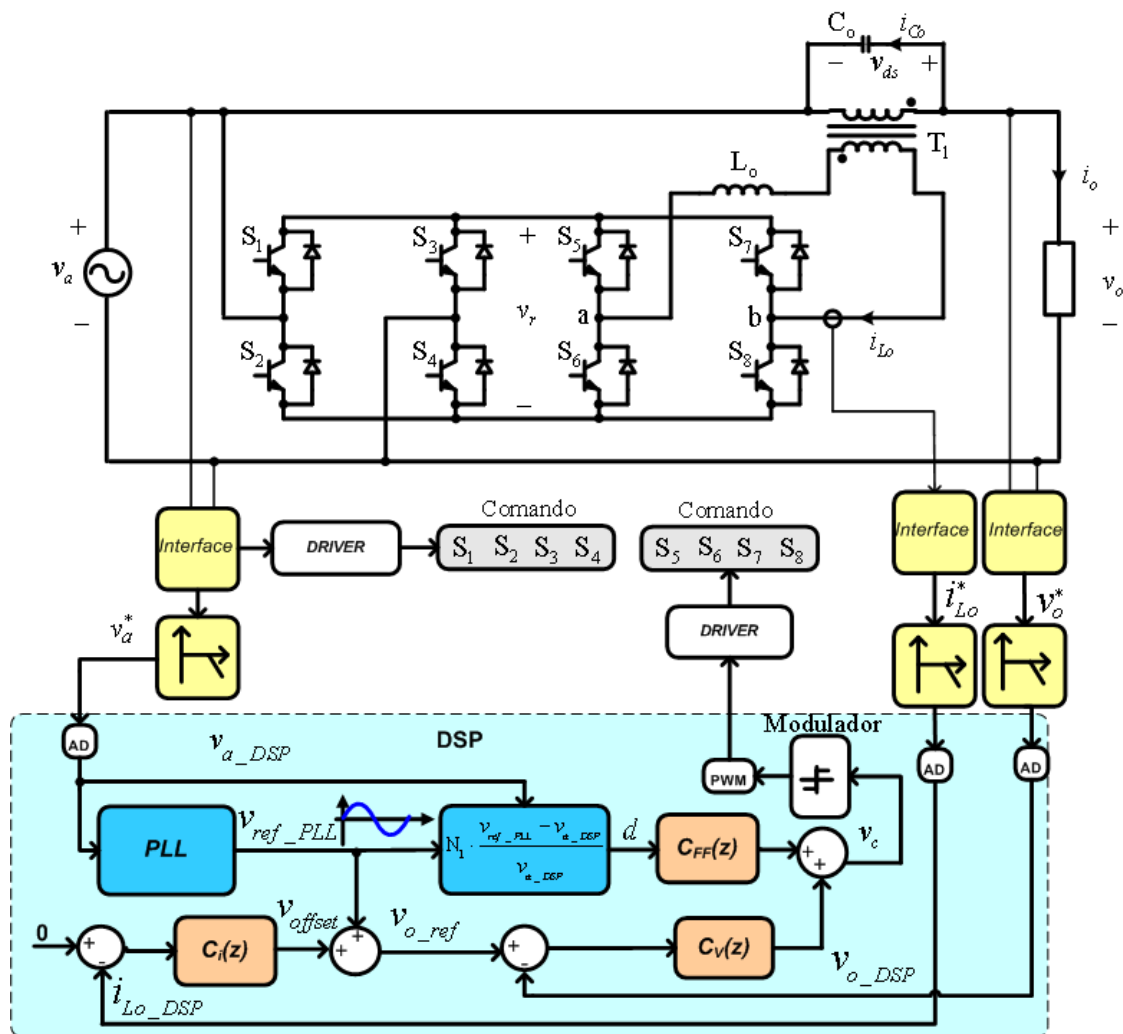


Fig. 2.12 - Estrutura de controle do condicionador.

Onde:

- PLL → Bloco referente ao circuito PLL monofásico apresentado no item anterior;
- $C_i(z)$ → Compensador de corrente;
- $C_v(z)$ → Compensador do valor eficaz da tensão de saída;
- $C_{FF}(z)$ → Compensador de pré-alimentação (*feedforward*).

2.3.1 Projeto do Compensador de Tensão

A metodologia adotada para obtenção do compensador do valor eficaz da tensão de saída será a de projeto direto no plano z utilizando o lugar das raízes apresentada no item 2.1.3 deste capítulo.

O primeiro passo a ser feito é a obtenção da função de transferência da planta do condicionador $G(s)$, ou seja, a função da tensão de saída pela razão cíclica no domínio s . A função $G(s)$ apresentada na expressão (2.29) foi deduzida nos trabalhos [4] e [8] utilizando o modelo de interruptor PWM de Vorpérian [27] para linearizar os interruptores presentes no conversor.

$$G(s) = \frac{R_o \cdot v_a(s) \cdot N_1}{s^2 \cdot L_o \cdot C_o \cdot R_o + s \cdot L_o + R_o \cdot N_1^2} \quad (2.29)$$

Para utilização da função de transferência $G(s)$ no projeto de controladores digitais, alguns itens devem ser acrescentados de modo que representem adequadamente todos os elementos inseridos na malha de controle. De maneira resumida, todos os sinais do condicionador utilizados no sistema de controle passam por sensores que convertem as amplitudes para valores adequados para que possam ser processados pelo filtro *anti-aliasing*. Após passar pelo filtro, os sinais são amostrados através do conversor analógico-digital do DSP para finalmente serem utilizados nas leis de controle.

Assim, os itens que devem ser acrescentados em $G(s)$ são:

- Ganho de tensão (K_v);
- Função de transferência do filtro *anti-aliasing* ($G_{faa}(s)$);

- Fator de escala (FE) para conversão do sinal elétrico em um dado numérico.

A expressão (2.30) representa a função de transferência final com a inclusão dos itens necessários para o projeto de controle digital.

$$G_T(s) = k_v \cdot \left(\frac{k_{faa}}{s + k_{faa}} \right) \cdot FE \cdot \left(\frac{R_o \cdot v_a(s) \cdot N_1}{s^2 \cdot L_o \cdot C_o \cdot R_o + s \cdot L_o + R_o \cdot N_1^2} \right) \quad (2.30)$$

$$G_{faa}(s) = \frac{k_{faa}}{s + k_{faa}} \quad (2.31)$$

Para prosseguir o projeto, os parâmetros do condicionador devem ser definidos. Tais parâmetros estão listados na sequência, sendo que detalhes de cálculo serão discutidos no capítulo seguinte.

- $v_a(t) = 311 \cdot \text{sen}(377 \cdot t) [V]$
- $v_o(t) = 311 \cdot \text{sen}(377 \cdot t) [V]$
- $f_s = f_a = 20 \text{ kHz}$
- $R_o = 5 \Omega$
- $L_o = 600 \mu H$
- $C_o = 120 \mu F$
- $N_1 = 3$
- $k_v = 0,002074$
- $k_{faa} = 62832$
- $FE = 1,0845$

Substituindo os parâmetros listados acima na expressão (2.30), obtém-se a função de transferência total da planta nos domínios s e z conforme as expressões (2.32) e (2.33), respectivamente:

$$G_T(s) = \frac{1,319 \cdot 10^6}{3,6 \cdot 10^{-7} \cdot s^3 + 0,04582 \cdot s^2 + 120,4 \cdot s + 5,652 \cdot 10^6} \quad (2.32)$$

$$G_T(z) = \frac{0,02551 \cdot z^2 + 0,04582 \cdot z + 0,001625}{z^3 - 1,63 \cdot z^2 + 0,9231 \cdot z - 0,001724} \quad (2.33)$$

Através do *software* MATLAB verificam-se os diagramas de Bode e o lugar das raízes da planta $G_T(z)$ apresentados, respectivamente, na Fig. 2.13 e na Fig. 2.14. O gráfico do LGR mostra que se deve ter cuidado na escolha e ajuste do controlador para que os pólos de malha fechada permaneçam dentro da região estável desejada, ou seja, no semicírculo direito.

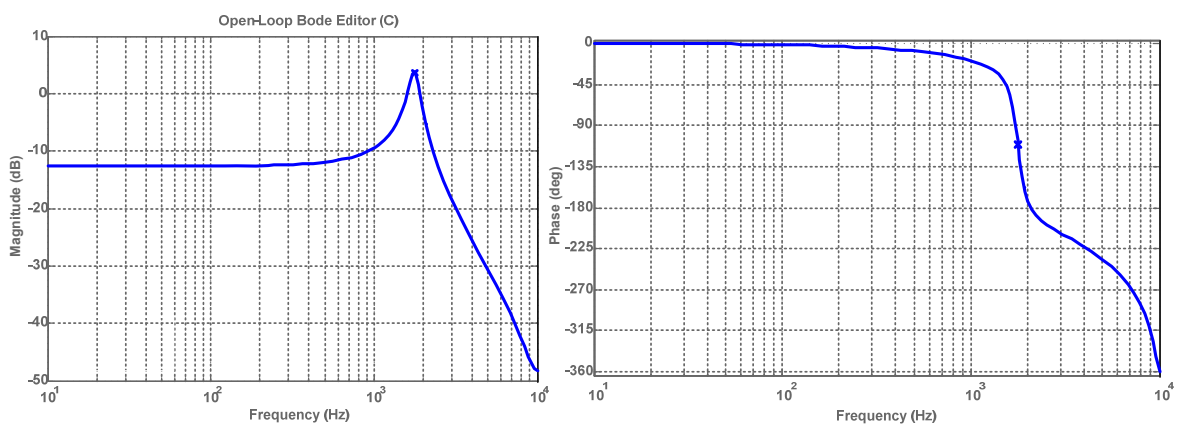


Fig. 2.13 - Diagramas de Bode de módulo e fase de $G_T(z)$.

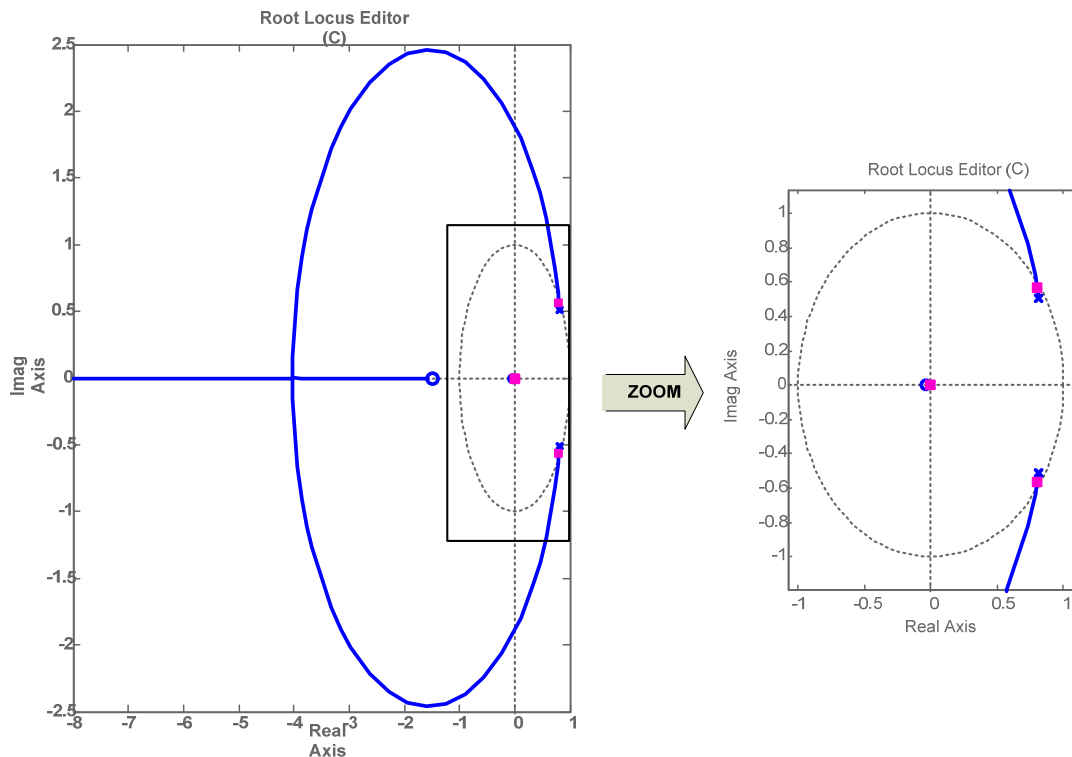


Fig. 2.14 - LGR da planta $G_T(z)$.

Conforme descrito anteriormente, deseja-se que a malha de controle do valor eficaz da tensão de saída apenas proporcione ao condicionador de tensão um erro nulo ao seguimento do valor eficaz do sinal de referência, uma vez que as distorções no formato e rapidez na resposta ficam por conta da malha de *feedforward*. Assim, o controlador utilizado nessa malha é do tipo PI, ou seja, um controlador com função integradora que garante erro nulo ao seguimento de referência.

$$C_v(s) = k_{cv} \cdot \frac{s+u}{s} \quad (2.34)$$

Para converter o controlador $C_v(s)$ para o domínio z , foi utilizado o método de Tustin de discretização. Assim, a equação para $C_v(z)$ está apresentada em (2.35):

$$C_v(z) = k_1 \cdot \frac{(z+k_2)}{z-1} \quad (2.35)$$

Sendo:

$$k_1 = k_{cv} \cdot \frac{(T_a \cdot u + 2)}{2} \quad k_2 = \frac{T_a \cdot u - 2}{T_a \cdot u + 2}$$

No projeto de controladores digitais utilizando o método do lugar geométrico das raízes basta saber apenas a composição do controlador no domínio z . No caso do compensador de tensão eficaz $C_v(z)$ apresentado na expressão (2.35), nota-se que é formado por um ganho k_1 , um zero situado em $-k_2$ e um pólo sintonizado em um, fornecendo uma característica integradora ao compensador. Portanto, apenas dois parâmetros devem ser ajustados no compensador: o ganho k_1 e a posição do zero.

Os critérios utilizados para ajuste dos parâmetros do controlador de tensão foram os seguintes:

- Sistema estável, ou seja, os pólos de malha fechada devem estar no interior do círculo unitário;
- Margem de fase acima de 45° ;
- A frequência de cruzamento deve ser ajustada para que o tempo de resposta não seja superior a três ciclos da rede.

Assim, utilizando a ferramenta *SISOTOOL* do *software MATLAB*, após sucessivos testes chegou-se aos valores $k_1 = 0,1914$ e $k_2 = -0,3$. A Fig. 2.15 mostra os diagramas de Bode para a planta e para o controlador, sendo 90° a margem de fase e a frequência de cruzamento sintonizada em aproximadamente 100 Hz .

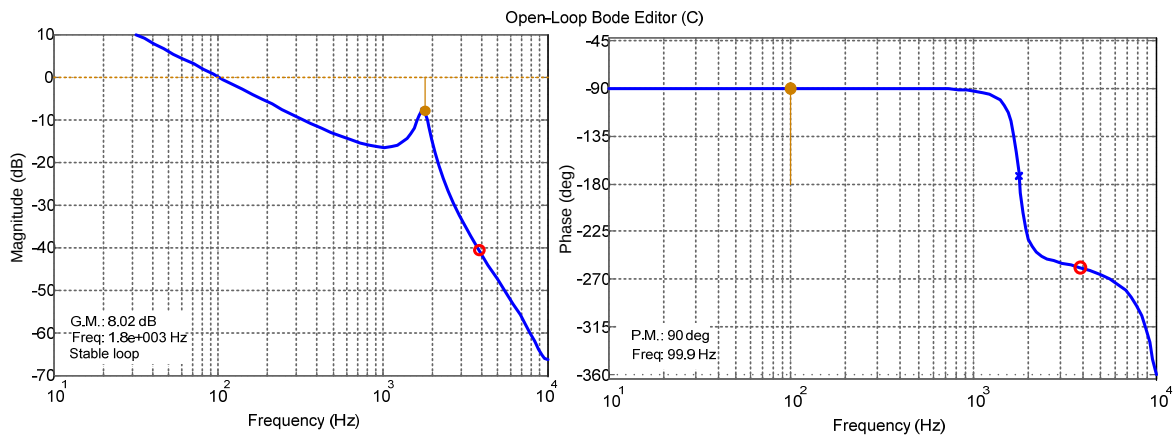


Fig. 2.15 –Diagramas de Bode de módulo e fase para planta +controlador.

Na Fig. 2.16 está apresentado o LGR para a malha de tensão eficaz. Nota-se que os pólos de malha fechada estão no interior do círculo unitário, ou seja, na região estável. Já a Fig. 2.17 mostra a resposta ao degrau unitário, sendo que o sistema atinge o valor de regime num tempo inferior a um ciclo da rede.

Para aplicação das leis de controle dos compensadores no domínio z em *DSP* ou microcontrolador, faz-se necessário escrever as funções de transferência sob a forma de equações a diferenças. Portanto, a equação a diferenças a ser convertida em linhas de programação do compensador PI (2.35) com os parâmetros k_1 e k_2 ajustados está apresentada em (2.36).

$$y_v(k) = y_v(k-1) + 0,19143 \cdot e_v(k) - 0,0574 \cdot e_v(k-1) \quad (2.36)$$

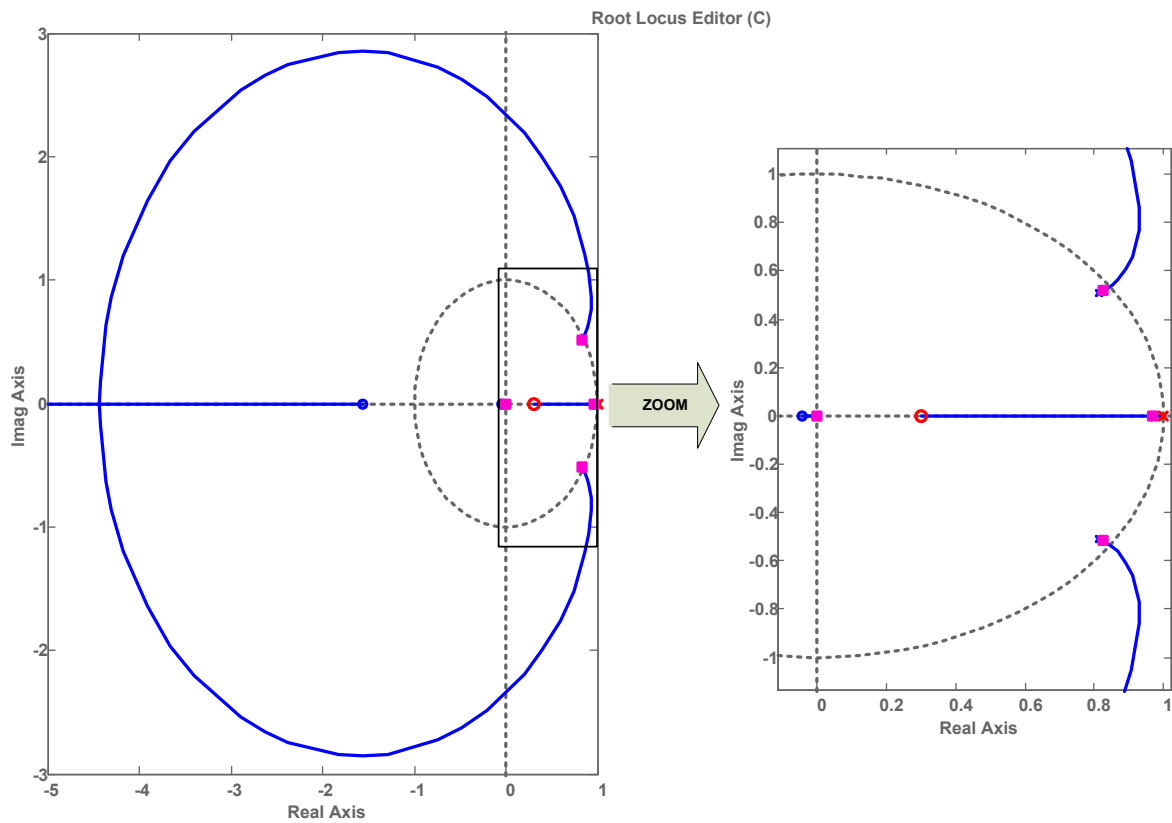


Fig. 2.16 –Lugar geométrico das raízes para planta + controlador.

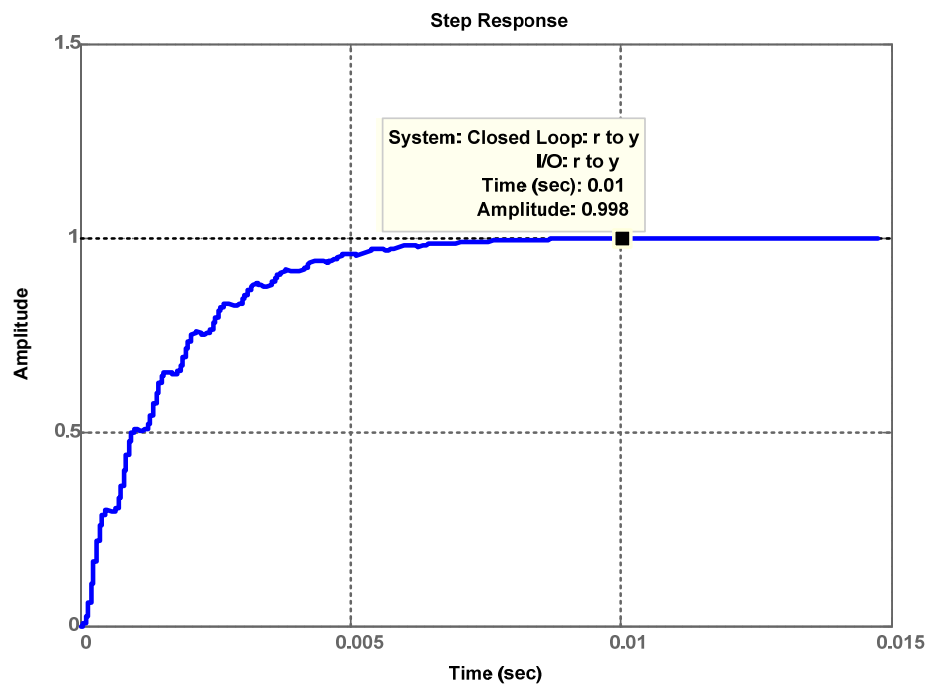


Fig. 2.17 - Resposta ao degrau unitário.

2.3.2 Projeto do Compensador de Corrente

A malha de controle da corrente tem por objetivo eliminar um possível valor médio que venha surgir na corrente i_{Lo} , sem interferir nas malhas de controle da tensão, antes que ocorra a saturação do núcleo do transformador T_1 . Um estudo detalhado da interação entre a malha de controle do valor médio da corrente e as malhas de controle da tensão de saída foi realizado por [6], onde mostrou-se que se a malha de controle da corrente for lenta, em comparação com o tempo de resposta das malhas de tensão, não ocorrem problemas de interação entre as malhas.

A operação da malha de corrente inicia-se monitorando i_{Lo} através de um sensor de efeito *hall*. O sinal de corrente é convertido em tensão e passa pelos circuitos de interface antes de ser adquirido pelo *DSP*. No processador, o dado numérico correspondente à corrente passa por um compensador do tipo integrador no qual, caso haja um valor médio, gera um sinal de controle no sentido oposto. Esse sinal é somado ao sinal de referência do circuito *PLL* formando o sinal de entrada para a malha de valor eficaz da tensão de saída, conforme o diagrama apresentado na Fig. 2.12.

A expressão (2.37) mostra a função de transferência do compensador tipo I (integrador) utilizado na malha de corrente.

$$C_i(s) = -\frac{k_{iLo}}{s} \quad (2.37)$$

Para que não haja interferência do sinal de controle da malha de corrente nas malhas de tensão, ajusta-se a frequência de cruzamento $C_i(s)$ no mínimo uma década abaixo da frequência da rede. Assim, optou-se por ajustar o compensador para uma frequência de cruzamento de 3Hz . A equação para o ajuste do ganho k_{iLo} em função da frequência de cruzamento desejada está apresentada em (2.38)

$$k_{iLo} = 2 \cdot \pi \cdot f_{ci} \quad (2.38)$$

Utilizando o método por aproximação bilinear obtém-se o controlador I no domínio z :

$$C_i(z) = \frac{k_{iLo} \cdot T_a}{2} \cdot \frac{(z+1)}{(z-1)} = \frac{2 \cdot \pi \cdot f_{ci} \cdot T_a}{2} \cdot \frac{(z+1)}{(z-1)} \quad (2.39)$$

Substituindo os valores das constantes em (2.39) e utilizando uma frequência de cruzamento f_{ci} igual a 3Hz , a função de transferência e equação a diferenças do controlador de corrente resultante estão apresentados respectivamente nas expressões (2.40) e (2.41). Na Fig. 2.18 tem-se os diagramas de Bode do controlador de corrente.

$$C_i(z) = -0,00047123 \cdot \frac{(z+1)}{(z-1)} \quad (2.40)$$

$$y(k) = y(k-1) - 0,00047123 \cdot e(k) - 0,00047123 \cdot e(k-1) \quad (2.41)$$

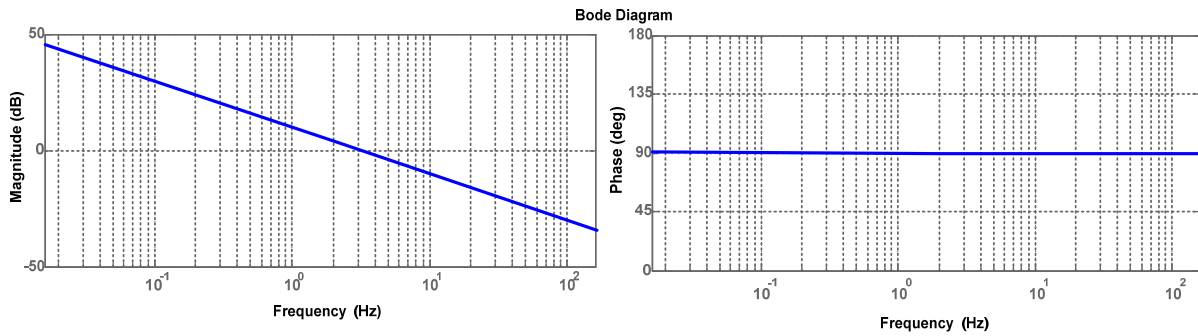


Fig. 2.18 - Diagramas de Bode de módulo e fase para o compensador de corrente.

2.3.3 Projeto do Compensador de Pré-Alimentação

Utilizando apenas a malha do valor eficaz, o conversor proposto se restringe a um estabilizador de tensão. Para operar como condicionador, ou seja, com rapidez na resposta a perturbações e corrigindo distorções no formato da tensão de entrada, há a necessidade da inclusão de uma malha rápida que gere uma ação de controle praticamente instantânea quando houver uma perturbação na tensão de entrada do conversor. Essa é a função da malha de pré-alimentação (*feedforward*) apresentada na estrutura de controle do conversor na Fig. 2.12.

Considerou-se estável o sistema com a malha de pré-alimentação, uma vez que o conversor é estável em malha aberta. Assim, para fins de simplificação, não foi realizada a modelagem da malha de *feedforward* neste trabalho.

A malha de *feedforward* consiste em calcular a razão cíclica $d(t)$ (2.28) a partir da expressão do ganho estático $g(t)$ (2.26). O sinal referente a $d(t)$ deve passar por um compensador com função de filtro passa-baixa a fim de eliminar possíveis ruídos em alta

freqüência, os quais prejudicariam o bom desempenho do sistema como um todo. Na saída do compensador $C_{ff}(z)$ tem-se a ação de controle da malha de pré-alimentação que é somada a ação de controle da malha do valor eficaz compondo o sinal de controle do condicionador.

A função de transferência do filtro passa-baixa de primeira ordem no domínio s está apresentada na expressão (2.42) e a freqüência de corte em função do parâmetro k_{ff} na equação (2.43).

$$C_{ff}(s) = \frac{k_{ff}}{s + k_{ff}} \quad (2.42)$$

$$f_{eff} = \frac{k_{ff}}{2 \cdot \pi} \quad (2.43)$$

O ajuste da freqüência de corte do compensador de *feedforward* teve como parâmetro a freqüência de amostragem do sistema de controle. Assim, escolheu-se uma década abaixo da freqüência de amostragem f_a . O compensador $C_{ff}(z)$ é obtido através da transformada bilinear de $C_{ff}(s)$.

$$C_{ff}(z) = \frac{k_{ff} \cdot T_a}{2 + k_{ff} \cdot T_a} \cdot \frac{(z+1)}{\left(z + \frac{k_{ff} \cdot T_a - 2}{k_{ff} \cdot T_a + 2} \right)} \quad (2.44)$$

Substituindo f_{eff} por 2 kHz em (2.43) obtém-se k_{ff} . Assim, a expressão final para $C_{ff}(z)$ e a equação a diferenças estão apresentadas (2.45) em e (2.46), respectivamente.

$$C_{ff}(z) = 0,239 \cdot \frac{(z+1)}{(z-0,522)} \quad (2.45)$$

$$y_{vf}(k) = 0,522 \cdot y_{vf}(k-1) + 0,239 \cdot e_{vf}(k) + 0,239 \cdot e_{vf}(k-1) \quad (2.46)$$

A Fig. 2.19 apresenta o diagrama de Bode para o compensador da malha de *feedforward* e, conforme o projeto a freqüência de corte do filtro, está sintonizada em 2 kHz.

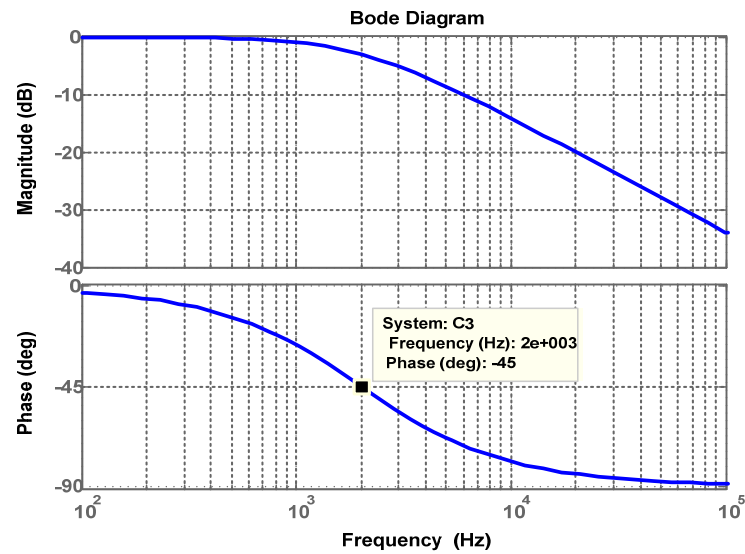


Fig. 2.19 –Diagramas de Bode de módulo e fase de $C_{ff}(z)$.

2.3.4 Resultados de Simulação

Antes de implementar os controladores do condicionador de tensão projetados nos itens anteriores, várias simulações foram feitas utilizando o *software* PSIM, sendo os resultados apresentados nas figuras a seguir:

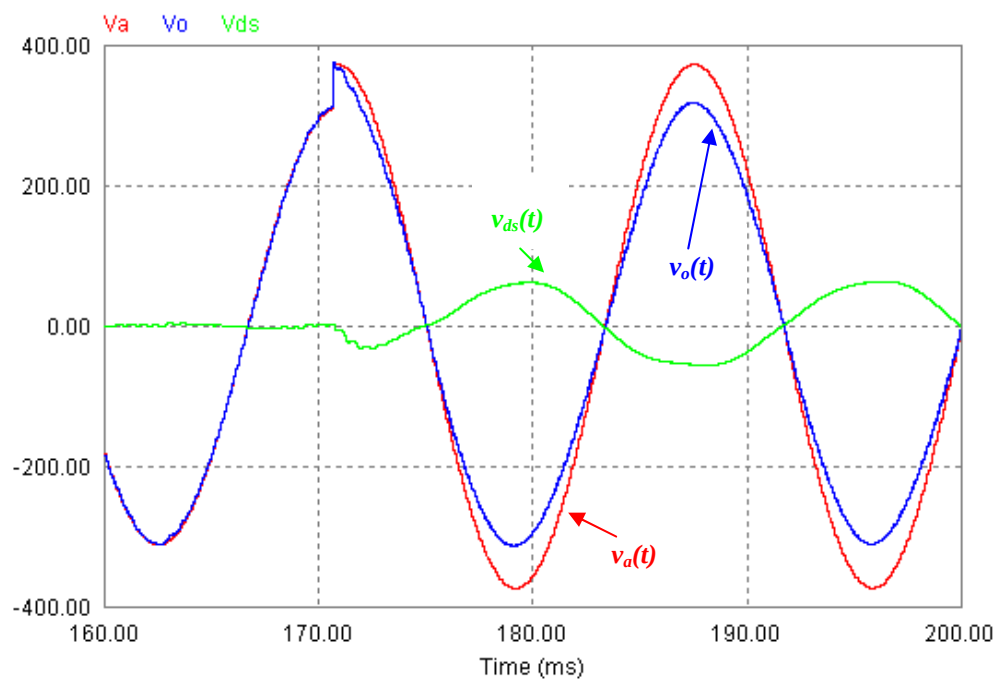


Fig. 2.20 – Degrau positivo na tensão de entrada – sem a malha de feedforward.

Na Fig. 2.20 foi simulado um degrau positivo na tensão de entrada do condicionador de tensão controlado apenas pela malha do valor eficaz da tensão e, conforme o projeto, em menos de um ciclo de rede o sistema atinge o regime, disponibilizando na saída uma tensão controlada e com valor eficaz de $220V$.

O mesmo degrau foi aplicado ao condicionador operando com as duas malhas de tensão como mostra a Fig. 2.21. Observa-se que o tempo de resposta é menor comparado ao sistema sem a malha de *feedforward*, porém surge uma pequena oscilação em alta frequência na tensão de saída, ocasionada pela atuação da malha de *feedforward* no instante da passagem por zero da tensão. Tal fato ocorre pois no cálculo da razão cíclica d , presente na malha de pré-alimentação, há uma divisão na qual o denominador é v_a , assim na passagem por zero ocorre um sobressinal na ação de controle dessa malha.

Os resultados de simulação apresentados na sequência foram obtidos com o condicionador operando com as duas malhas de tensão. Prosseguindo os testes de compensação do conversor, foi aplicado um degrau negativo na tensão de entrada conforme ilustra a Fig. 2.22. Nota-se que o sistema de controle responde rapidamente ao degrau, impondo na saída uma tensão regulada seguindo o sinal de referência.

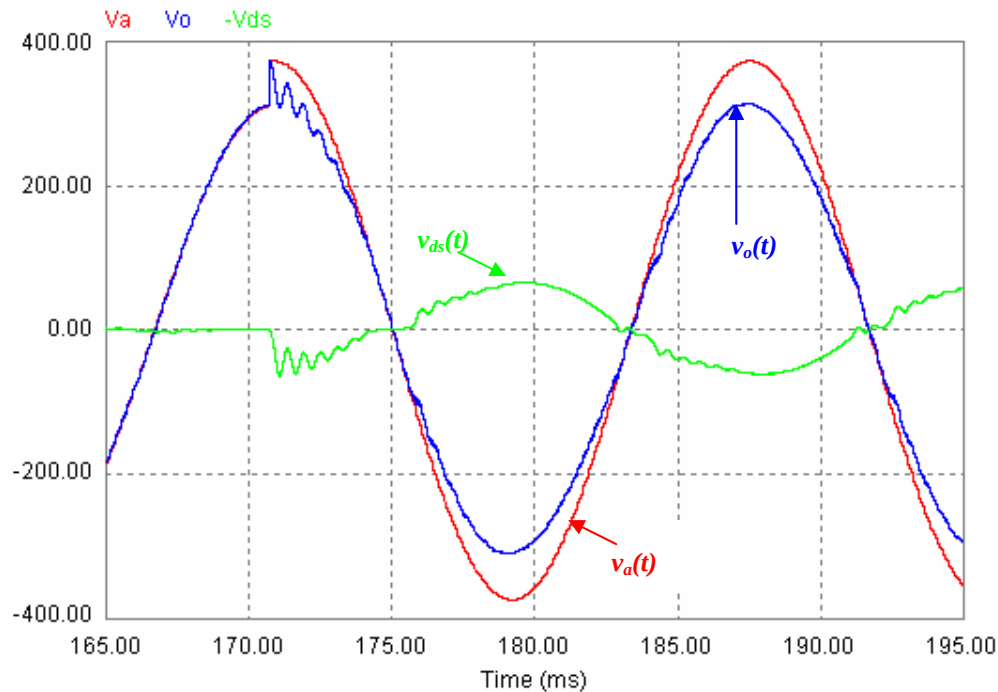


Fig. 2.21 - Degrau positivo na tensão de entrada - com malha de *feedforward*.

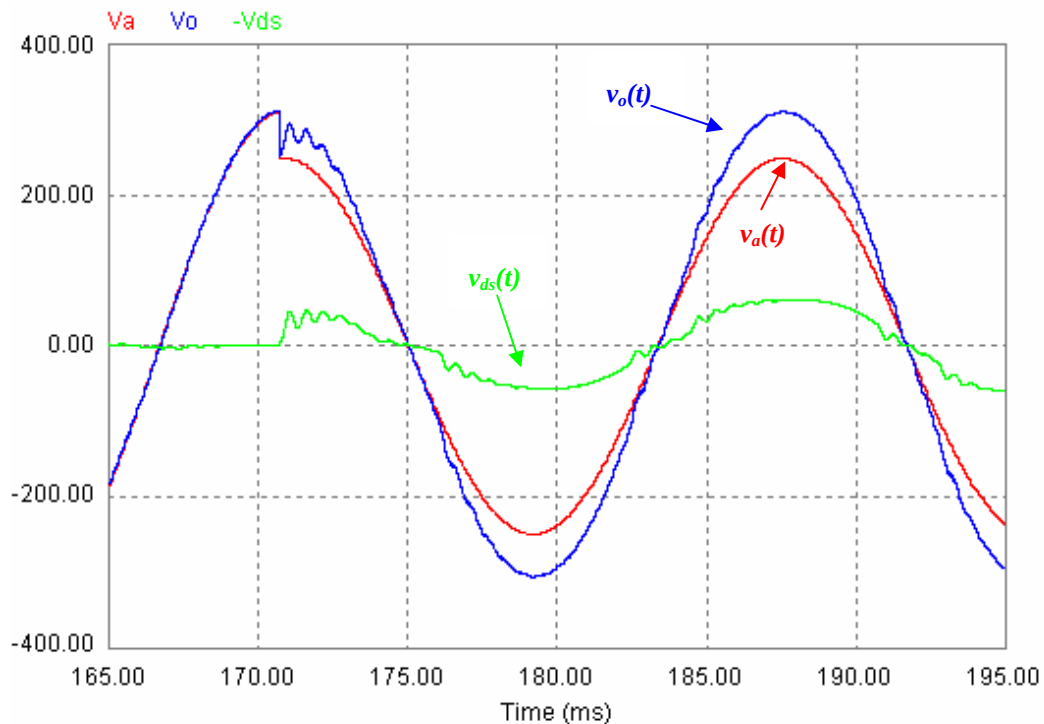


Fig. 2.22 - Degrau negativo na tensão de entrada - com malha de feedforward.

A Fig. 2.23 apresenta o sistema em regime quando é aplicada na entrada uma tensão reduzida. Observa-se que o conversor opera satisfatoriamente, ou seja, a tensão de saída mantém-se regulada em 220V eficazes com uma leve ondulação em alta frequência.

Foram simuladas outras duas situações: aplicação de degrau de carga e conversor operando com tensão de entrada distorcida. Os resultados obtidos para cada uma das situações estão apresentados na Fig. 2.24 e Fig. 2.25, respectivamente. Nota-se que para o caso da entrada distorcida, a tensão disponibilizada na saída do condicionador possui um formato próximo do senoidal comprovando a característica que o condicionador tem de corrigir deformações no formato da tensão. Já para o caso do degrau de carga a tensão de saída sofre uma pequena oscilação atingindo rapidamente o regime.

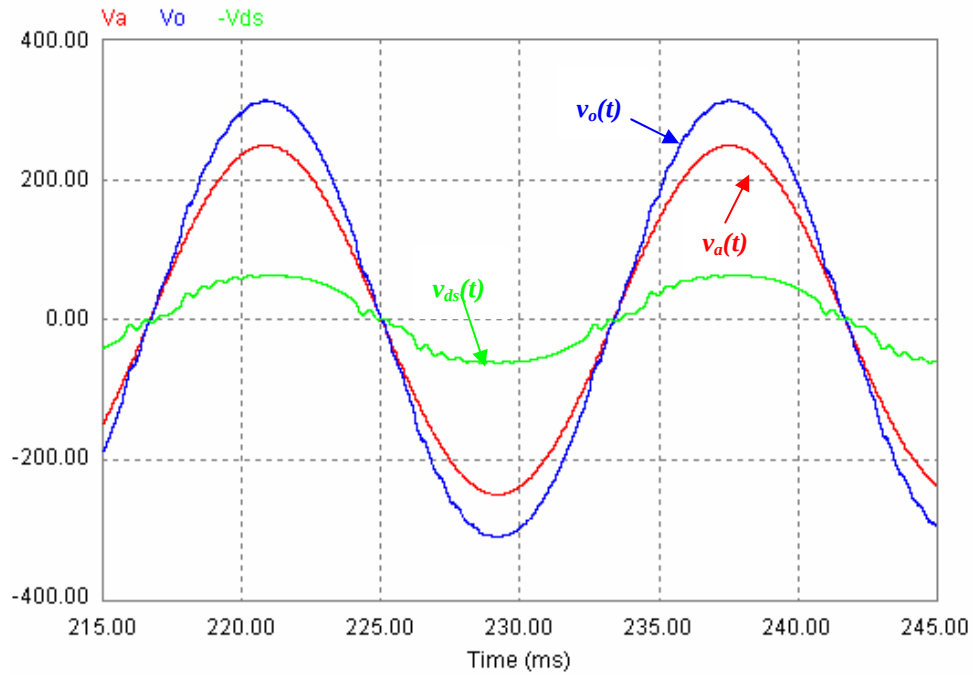


Fig. 2.23 - Tensão de entrada reduzida - com malha de feedforward.

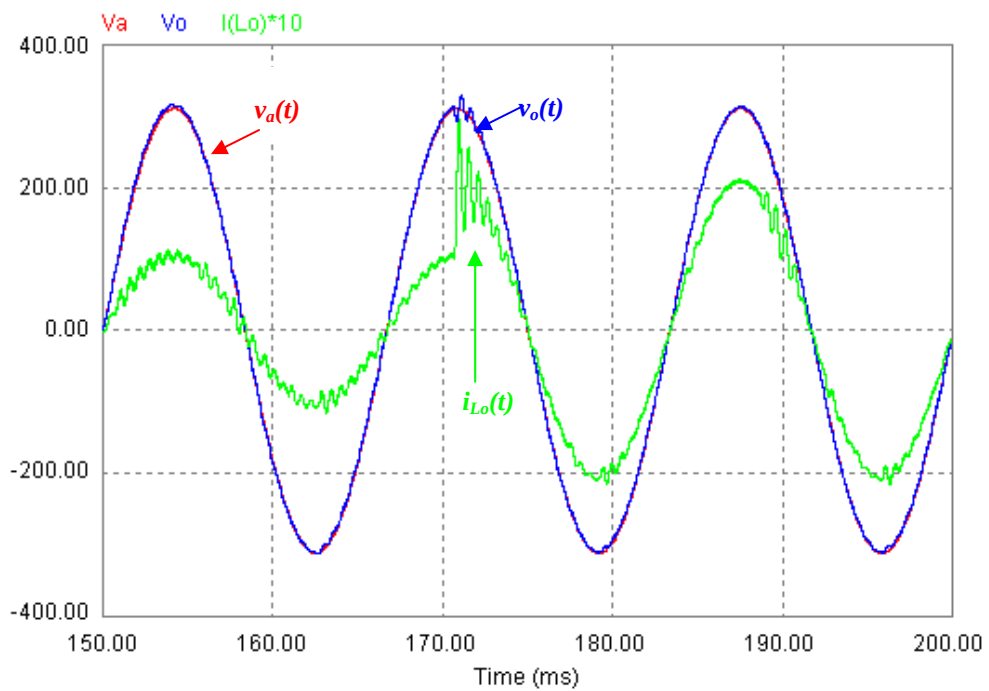


Fig. 2.24 - Degrau de carga - com a malha de feedforward.

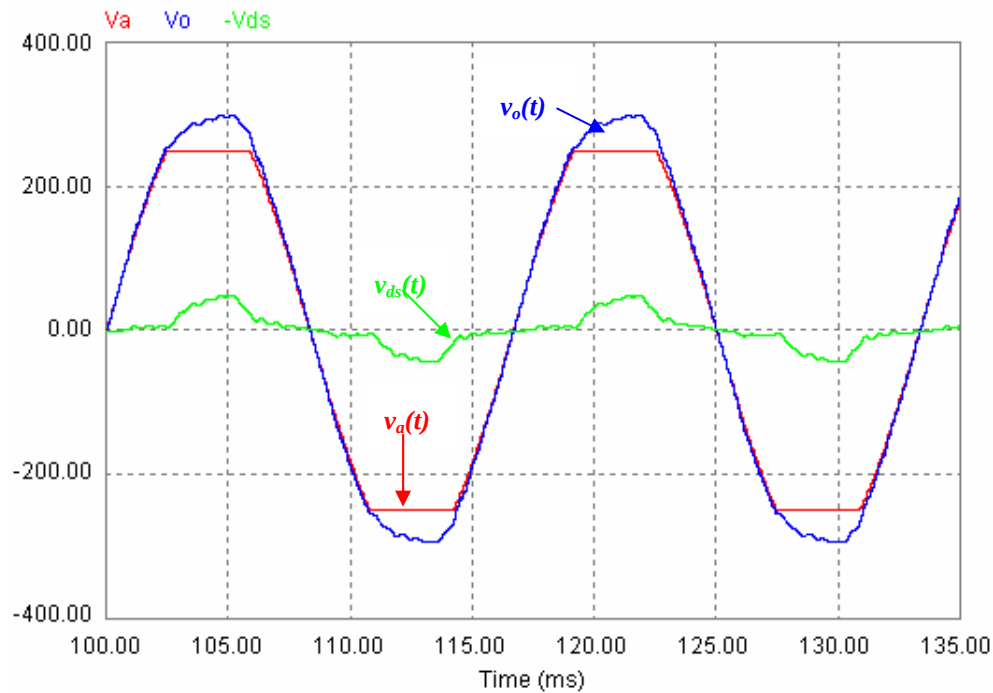


Fig. 2.25 - Conversor operando com tensão de entrada distorcida.

2.4 Kit de Desenvolvimento eZdspTM TMS320LF2407A

Utilizou-se um kit de desenvolvimento durante toda a etapa de projeto, com o objetivo de monitoração, controle e comando do condicionador de tensão. O *kit* escolhido para o presente trabalho foi o **eZdspTM** baseado no *DSP* TMS320LF2407A da *Texas Instrument*.

A seguir serão descritas as principais características de *software* e *hardware* que compõem o *kit* de desenvolvimento **eZdspTM**, quais sejam:

- Visão geral do eZdspTMLF2407A;
- Características Básicas do TMS320LF2407A;
- *Software Code Composer Studio*.

2.4.1 Visão Geral do eZdsp™LF2407A

O *eZdsp™ LF2407A* é um kit de desenvolvimento que vem equipado com o Processador Digital de Sinal TMS320LF2407A. Ele permite monitorar o Processador Digital de Sinais TMS320LF2407A a fim de verificar se o *DSP* está realizando de maneira adequada as tarefas determinadas em certa aplicação. Além disso, o módulo é uma excelente plataforma para desenvolver e rodar o programa para o processador TMS320LF2407A, bem como permite uma rápida verificação do código de programa do LF2407A.

Para simplificar o desenvolvimento de código e encurtar o tempo de depuração o *eZdsp™LF2407A* possui *drivers* para o *Code Composer Studio*. No kit tem disponível um conector JTAG que provê interface para emuladores, operando com outros depuradores de linguagem *assembly* e linguagem C.

O *eZdsp™LF2407A* possui as seguintes características:

- Processador Digital de Sinal TMS320LF2407A;
- Capacidade de processamento em 40 MIPS;
- 64K de palavras de memória RAM de programa/dados disponíveis na placa;
- *Clock* de 20 MHz para operações a 40 MIPS;
- Três conectores de expansão;
- Controlador JTAG IEEE 1149,1 disponível no kit;
- *Drivers* para o *Code Composer Studio* da *Texas Instruments*.

2.4.2 Características Básicas do TMS320LF2407A

Os TMS320LF240x são componentes da geração TMS320C24x de Processadores Digitais de Sinais (*DSP*) e fazem parte da plataforma de *DSPs* de ponto fixo TMS320C2000 [13] e [28]. O 240x oferece uma melhoria na arquitetura da CPU do C2xx traduzindo-se por um baixo custo, baixo consumo de energia e elevado desempenho na capacidade de processamento. Vários periféricos, otimizados para aplicações em controle

digital, têm sido integrados neste *DSP*, disponibilizando assim em um único chip um componente controlador digital de sinais.

Além de possuir o código compatível com o C24x, o 240x oferece um aumento na capacidade de processamento (40 MIPS) e um alto nível de integração periférica.

Todos os 240x oferecem no mínimo um gerenciador de eventos, o qual tem sido otimizado para aplicações digitais de controle de motores e conversão de energia.

O TMS320LF2407A possui um conversor analógico/digital de 10 bits com tempo de conversão mínima de 500 ns e até 16 canais de entrada analógica.

A interface de comunicação serial (*SCI*) agregada ao *DSP* serve para prover uma comunicação assíncrona a outros dispositivos *DSP* dentro de um sistema maior. Para sistemas que requerem interfaces de comunicação adicional, o TMS320LF2407A oferece uma interface serial síncrona periférica de 16 bits (*SPI*).

O TMS320LF2407A é um *DSP* de 16 bits de ponto fixo com memória flash. Suas principais características são:

- Ciclo de instrução de $25ns$ (frequência de $40MHz$);
- Desempenho de $40MIPS$ (milhões de instruções por segundo);
- Baixa tensão $3,3V$;
- Núcleo da CPU baseada no *DSP* TMS320C2xx;
- Código compatível com F243/F241/C240;
- Até 32K de palavras de 16 bits de EEPROM Flash (4 setores);
- Até 2,5K de palavras de 16bits de RAM de Dados/Programa. Sendo 544 palavras de RAM de duplo acesso e até 2k palavras de RAM de simples acesso;
- Dois gerenciadores de eventos (EV) módulos (EVA e EVB). Cada um inclui:
 1. Dois temporizadores de propósito geral de 16 bits;
 2. Oito canais de *PWM* de 16 bits;
 3. Tempo morto programável;

4. Três unidades de Captura;
 5. Interface para *Encoder on-chip*;
 6. Sincronização para o conversor analógico/digital.
- Interface de memória externa: 64K de programa, 64K de dados, 64K I/O;
 - “Watchdog”;
 - Conversor analógico /digital de 10bits, com 8 ou 16 canais de entrada multiplexados, tempo de conversão de 500ns;
 - Rede Controladora de Área (CAN);
 - Interface de comunicação Serial (SCI);
 - Módulo de interface serial periférica de 16bits;
 - Até 40 pinos de entrada e saída programáveis individualmente;
 - Até cinco interrupções externas.

2.4.3 Code Composer Studio

Code Composer Studio é um *software* que caracteriza-se por ser um ambiente de desenvolvimento integrado com funcionalidades específicas do *DSP*. Ele permite editar, construir, depurar, perfilar e gerenciar projetos a partir de um ambiente simples e unificado. Outras características importantes são: análise gráfica de sinais, injeção/extração de sinais de dados através de arquivo de entrada/saída, dentre outras.

A versão que acompanha *eZdspTM TMS320LF2407A* é a 3.1, *Code Composer Studio*. Abaixo estão listadas suas principais características.

- Verificação e alteração da memória enquanto o programa está rodando;
- Ambiente de desenvolvimento integrado;
- Compilador/Assembler/linkador;
- Arquivo de entrada/saída, pontos de sonda;
- Análise gráfica de sinais avançada;

- Editor integrado;
- Depuração multiprocessada;
- Sistema de gerenciamento visual de projeto;
- Ajuda sobre o *DSP*.

A Fig. 2.26 abaixo mostra a aparência das janelas do *Code Composer* em um exemplo de caráter ilustrativo.

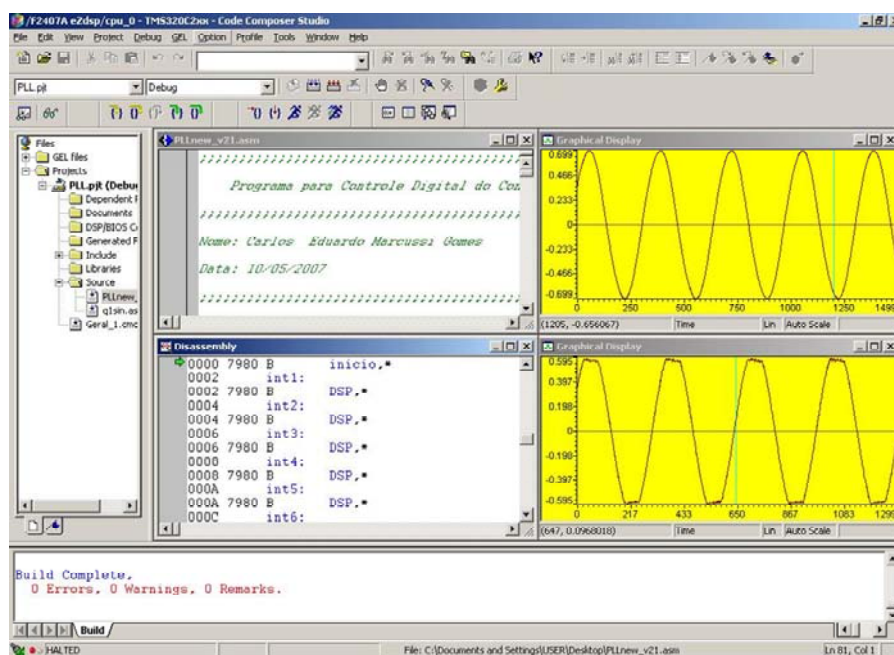


Fig. 2.26 - Ambiente do code composer.

2.5 Programação

A linguagem escolhida para a programação do *DSP* foi o *assembly*, e como formato numérico optou-se pelo 1.15, também denominado por Q15. Tal formato é capaz de representar números que vão desde -1 a 0,99996948242. Maiores detalhes sobre representações numéricas podem ser encontradas nos trabalhos [13], [14] e [28].

Toda a listagem do programa elaborado para o controle e supervisão do condicionador está disponível no ANEXO 1.

2.5.1 Fluxograma

A Fig. 2.27 apresenta o fluxograma completo do programa em *assembly* de controle do condicionador de tensão.

2.5.2 Definições Preliminares

Nas primeiras linhas do código do programa estão contempladas as definições preliminares, onde constam comentários com dados acerca do programa (nome, versão, data, etc). Na sequência, inclui-se o arquivo *f2407.h* no qual são definidos os endereços dos registradores específicos do *DSP TMS320lf2407A*, como por exemplo o registro que armazena o resultado da conversão analógico/digital referente ao canal zero “RESULT0” é definido o endereço “70A8h”, assim toda vez que for que aparecer a palavra RESULT0 no programa, o compilador substitui pelo endereço 70A8h.

Após a inclusão e declaração de arquivos utilizados no projeto, são definidas as macros e os vetores de interrupção. As macros são como uma espécie de subrotina. A região destinada aos vetores de interrupção tem a finalidade de indicar ao processador qual região do programa deve ser processada caso ocorra uma determinada interrupção.

Por fim, são declaradas as variáveis e constantes a serem utilizadas no programa e reservado um espaço na memória para ser utilizado como pilha.

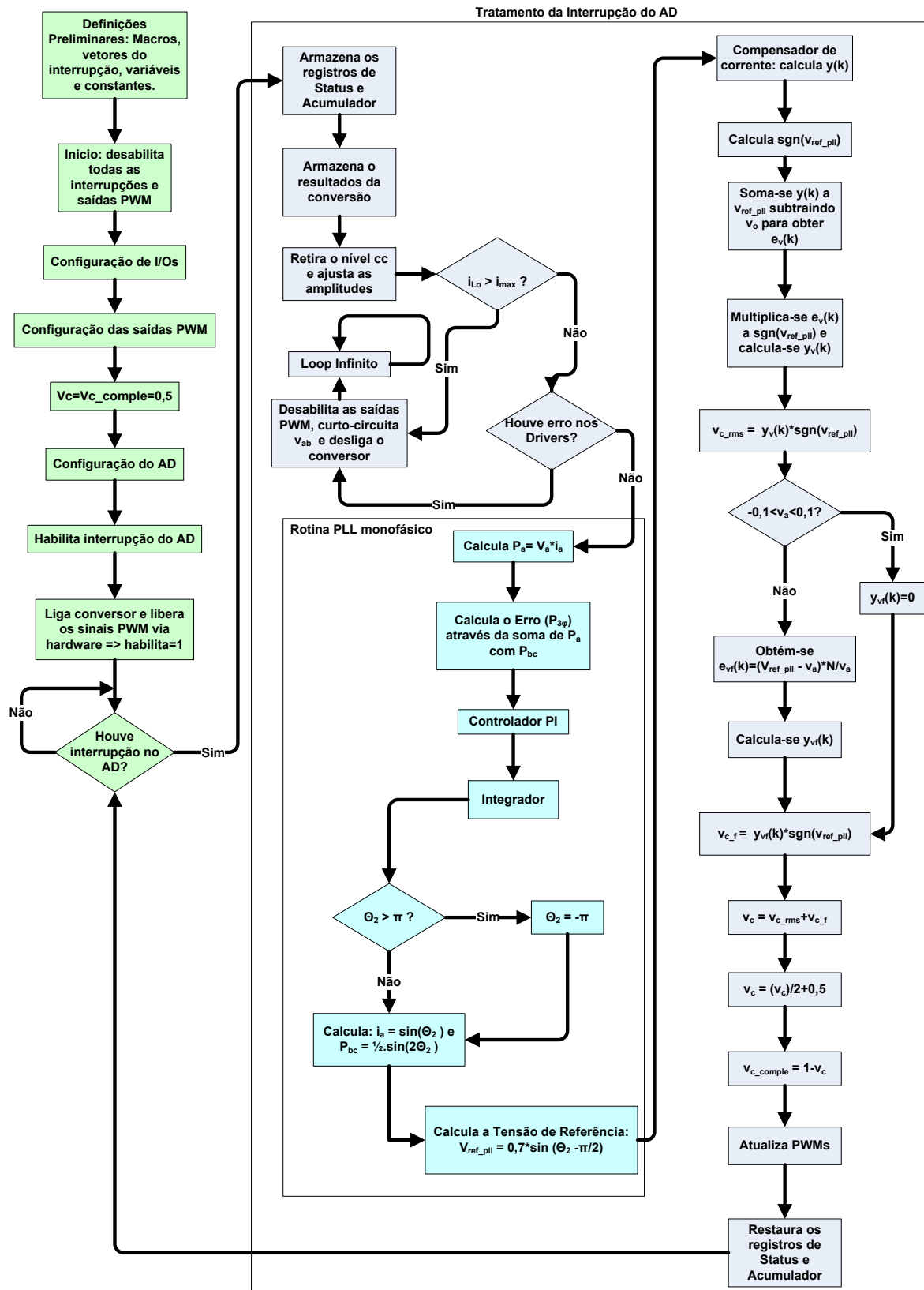


Fig. 2.27 - Fluxograma do programa de controle do condicionador

2.5.3 Configurações Iniciais

Nessa fase do programa inicia-se desabilitando todas as interrupções, saídas *PWM* e *watchdog*. Configura-se o registrador de controle do sistema *SCSR1*, habilitando a entrada de *clock* para os gerenciadores de eventos *EVA* e *EVb* e para o módulo de conversão analógico/digital e indica-se o registrador auxiliar *AR7* como ponteiro para pilha.

A configuração do módulo de entradas e saídas digitais (*I/O*) deve ser efetuada considerando as necessidades de cada projeto. Tal módulo é composto por até 40 pinos de *I/O* sendo agrupados em quatro portas de oito pinos (bits) *IOPA*, *IOPB*, *IOPC*, *IOPE*, uma porta com sete bits *IOPF* e a porta *IOPD* com um bit apenas. Os registradores *MCRA*, *MCRB* e *MCRC* são responsáveis para indicar a função de cada pino das seis portas, podendo ser função primária *PWM*, *CMP*, *CAP*, etc. (bit correspondente em 1) ou função secundária com um pino simples de *I/O* (bit correspondente em 0).

Uma vez definida a função do pino como entrada e saída digital, deve ser definido o tipo do pino, ou seja se é um pino de entrada ou de saída. Os registradores *PADATDIR*, *PBDATDIR*, *PCDATDIR*, *PDDATDIR*, *PEDATDIR* e *PFDATDIR* são responsáveis pela definição em relação ao tipo do pino. Os pinos 1 e 2 da Porta C foram configurados como saída, sendo *IOPC1* responsável pelo sinal “*habilita*” para os pulsos de comando do conversor. Já o *IOPC2* é responsável pelo sinal “*liga*” que controla indiretamente o contator 1 (Fig. 3.1), utilizando lógica invertida, ou seja quando estiver com nível lógico alto o contator está aberto. Os demais pinos dessa porta são configurados como entrada, sendo o *IOPC4* o pino que recebe o sinal “*erro*” dos *drivers* que acionam os IGBTs.

2.5.4 Gerenciador de Eventos

Foram utilizadas as saídas *PWM* 1 e 2 do gerenciador de eventos A (*EVA*) e os registros envolvidos na configuração do *EVA* são: *GPTCONA*, *COMCONA*, *ACTRA*, *TICON*, *TICNT* e *TIPR*.

O *timer* 1 foi configurado para operar no modo de contagem *continuous up/down* com frequência de comutação de 20kHz. Também foi configurado para que o conversor

A/D seja disparado toda vez que o *timer* 1 completar um período, sendo assim, a frequência de amostragem igual é a de comutação.

2.5.5 Conversor A/D

O conversor A/D foi configurado para executar a conversão em apenas três canais dos dezesseis disponíveis, sendo os canais *CONV00*, *CONV01* e *CONV02* responsáveis pela conversão das variáveis v_a , v_o e i_{Lo} , respectivamente.

2.5.6 Interrupção

Foi habilitada a interrupção *INT6* impondo ao *bit* 5 do registrador IMR o valor 1. Essa interrupção foi configurada para ser gerada no final de cada ciclo de conversão A/D, lembrando que o A/D é disparado no início do período do *PWM*, iniciando assim o ciclo de conversão.

2.5.7 Amostragem

No final do período do *PWM* é disparado o conversor A/D e iniciado o processo de amostragem. No término do ciclo de conversão é gerado uma interrupção e o programa é desviado para a rotina de tratamento, sendo que, como qualquer interrupção, a primeira tarefa a ser realizada é a de salvar os registros importantes na pilha.

Após salvar os registros, são armazenados os resultados da conversão A/D nas variáveis correspondentes e devidamente ajustados para o formato *Q15*. É retirado o nível cc das variáveis e as amplitudes das tensões v_a e v_o são configuradas para apresentar o valor 0,7 quando essas tensões estiverem no seu valor nominal, ou seja *311,12 V*.

2.5.8 Proteção Contra Sobrecorrente e Erro nos Drivers

Para o comando do condicionador de tensão são necessários quatro módulos IGBTs compondo um total de oito interruptores, quatro para a parte retificadora e quatro para a inversora. Cada módulo é acionado por um *driver*, o qual possui um sinal de erro em caso

de falha ou algum problema nos interruptores. Assim, caso ocorra algum problema nos interruptores o *DSP* é avisado através do pino de I/O *IOPC4*. Portanto, a rotina que verifica erro nos *drivers* monitora o pino *IOPC4* e caso atinja nível lógico alto o programa é desviado para a rotina de atuação da proteção onde os sinais de comando do conversor são inibidos, é curto-circuitada a saída da parte inversora e desativada a alimentação do conversor.

Já a rotina de proteção contra sobrecorrente monitora a variável i_{Lo} . Quando o valor da corrente ultrapassar um limite estipulado, o programa é desviado para a rotina de atuação da proteção descrita anteriormente. O sistema de proteção será abordado com detalhes na sessão 3.3.

2.5.9 Obtenção do Sinal de Referência

O sinal de referência é obtido através da execução da rotina do *PLL* de acordo com o diagrama de blocos presente na Fig. 2.27. Dois pontos devem ser destacados a respeito do funcionamento dessa rotina: a utilização da função “*qsin*” para o cálculo do seno de um determinado ângulo e o *reset* do integrador.

A função “*qsin*” calcula o seno de um ângulo utilizando o método de aproximação por série de Taylor. Essa função foi desenvolvida pela *Texas Instruments* e faz parte de um módulo de funções matemáticas disponível nos *applications notes* a cerca da família de *DSPs* C24X. A Tabela 2.1 apresenta um resumo a respeito dos dados utilizados na função *qsin*:

Item	Nome	Descrição	Formato	Faixa (Hex)
Entrada	sin_input	Ângulo em radianos entre $[-\pi, +\pi]$ normalizado para $[-1, +1]$	Q15	8000 – 7FFF
Saída	sin_output	Seno do valor de entrada	Q15	8000 – 7FFF

Tabela 2.1 - Dados utilizados na função *qsin*.

O integrador tem a tarefa de obter o ângulo θ_2 através da integração da frequência angular ω . Como a função “*qsin*” trabalha com valores de entrada normalizados entre -1 a

+1, deve ser feito o *reset* do integrador, ou seja, quando o valor do ângulo θ_2 atingir o valor hexadecimal de 7FFF, deve ser imposto o valor hexadecimal de 8000 ao ângulo para que o processo seja reiniciado.

2.5.10 Implementação dos Controladores

O primeiro controlador a ser implementado no programa é o de corrente. Esse compensador gera um sinal de controle $y(k)$ caso exista uma componente contínua presente na corrente que circula pelo indutor L_o .

O sinal $y(k)$ deve ser somado ao sinal de referência v_{ref} obtido através da rotina do *PLL* para compor o sinal de referência final a ser utilizado no compensador do valor eficaz da tensão. Assim, o resultado da soma de $y(k)$ e v_{ref} é subtraído do sinal v_o formando o sinal de erro $e_v(k)$.

Para a correta operação do compensador do valor eficaz, o valor do erro, resultado da comparação da tensão de referência pela tensão de saída, deve ser multiplicado pela função sinal de v_{ref} . Assim, não ocorrerá uma mudança no sinal de erro na mudança de semiciclo fazendo com que a ação de controle do compensador convirja devidamente para o valor de regime, conforme a Fig. 1.5.

No caso da malha de *feedforward* existe uma região na qual o sinal de controle deve ser desprezado uma vez que na obtenção do sinal de erro é feita uma divisão na qual o denominador v_a varia senoidalmente no tempo (2.28). Assim, quando o valor de v_a estiver nas proximidades da passagem por zero, o resultado da divisão deve ser desprezado, conforme o diagrama de blocos apresentado na Fig. 2.27.

2.5.11 Obtenção dos Sinais *PWM* do Inversor

O *DSP* fornece à placa de condicionamento de sinais o comando para apenas um dos interruptores de cada braço, sendo de responsabilidade da placa de condicionamento a obtenção do sinal inverso para que cada *driver* receba dois sinais *PWM* compondo o comando de cada braço.

Para o cálculo das razões cíclicas, o sinal de controle v_c deve ser escalonado passando da escala de -1 a +1 para a escala de 0 a +1. Isso é feito dividindo o sinal v_c por dois e adicionando 0,5.

Uma vez feito o escalonamento, o sinal de controle complementar v_{c_comple} é obtido subtraindo de 1 o valor de v_c . Assim, obtém-se as razões cíclicas que compõem os sinais *PWM* fornecidos pelo *DSP*.

A rotina da interrupção do A/D é encerrada com a restauração do registro *STATUS* retornando o programa para o *loop* principal onde fica-se aguardando completar o período de comutação para iniciar uma nova conversão.

2.6 Conclusão

Nesse capítulo tratou-se de todos os aspectos que envolvem o controle digital do condicionador de tensão. Foram discutidas as maneiras possíveis para obtenção do sinal de referência, optando pelo sistema *DPLL* monofásico. Também foi elaborada uma metodologia para ajuste dos ganhos do controlador PI do sistema *PLL* e concluiu-se que para o sistema ser menos sensível com as oscilações de *120Hz* deve-se tornar a resposta dinâmica mais lenta reduzindo a frequência de cruzamento.

Diversas metodologias de controle para regulação da tensão de saída do condicionador são apresentadas na literatura, das quais optou-se pelo controle utilizando duas malhas: a de controle do valor eficaz da tensão de saída e a de pré-alimentação da tensão de entrada. Para cada malha foi elaborada uma metodologia de projeto apresentando no final a equação a diferenças a ser implementada na programação do processador digital de sinais escolhido para controle do conversor.

Todos os detalhes acerca do processador escolhido e programação a fim de elaborar o *software* de controle e supervisão do condicionador foram discutidos finalizando o capítulo.

Capítulo 3 Metodologia de Projeto

Nesse capítulo será apresentada uma metodologia de projeto de um condicionador de tensão com potência nominal de $10kVA$. Primeiro serão discutidos as especificações de projeto, na sequência tem-se o projeto dos elementos do estágio de potência e, finalizando o capítulo, o projeto dos circuitos de interface com o *DSP*, abrangendo também o sistema de proteção.

3.1 Especificação de Projeto e Cálculos Preliminares

Na Tabela 3.1 estão apresentados os dados necessários para o projeto do condicionador de tensão:

Parâmetro	Descrição
$v_{a_rms} = 220V$	Valor eficaz da tensão de entrada
$\Delta = 0,2$	Variação na tensão de entrada
$v_{o_rms} = 220V$	Valor eficaz da tensão de saída
$S_o = 10kVA$	Potência aparente nominal de saída
$\Delta v_o = 3\%$	Máxima ondulação da tensão de saída
$\Delta i_{Lo} = 20\%$	Máxima ondulação de corrente no indutor de filtro
$f_s = 20kHz$	Frequência de comutação
$f_r = 60Hz$	Frequência da rede de energia elétrica
$D_{max} = 0,9$	Razão cíclica máxima

Tabela 3.1 - Dados para projeto do condicionador.

Após definir as especificações de projeto, é necessário obter algumas variáveis para o correto dimensionamento dos componentes do conversor. Essas grandezas estão apresentadas na Tabela 3.2.

Grandeza	Descrição
$v_{a_pico} = \sqrt{2} \cdot v_{a_rms} = 311V$	Tensão de pico na entrada
$v_{o_pico} = \sqrt{2} \cdot v_{o_rms} = 311V$	Tensão de pico na saída
$i_{o_rms} = \frac{S_o}{v_{o_rms}} = 45,55 A$	Valor da corrente eficaz na carga
$i_{o_pico} = i_{o_rms} \cdot \sqrt{2} = 64,3 A$	Valor da corrente de pico na carga
$v_{a_max} = (1 + \Delta) \cdot v_{a_pico} = 373,2V$	Valor máximo da tensão de entrada
$v_{a_min} = (1 - \Delta) \cdot v_{a_pico} = 248,9V$	Valor mínimo da tensão de entrada

Tabela 3.2 - Grandezas do condicionador calculadas.

3.2 Projeto do Circuito de Potência

O projeto do estágio de potência inicia-se pelo dimensionamento do transformador T_1 obtendo a relação de transformação e a potência. Na sequência tem-se o projeto dos componentes do filtro de saída e o dimensionamento dos interruptores. Finalizando, apresenta-se o esquemático do circuito de potência incluindo os elemento de proteção.

3.2.1 Relação de Transformação para T_1

A relação de transformação é calculada a partir dos limites de variação da tensão de entrada:

$$N_1 = \frac{(1 - \Delta^-)}{\Delta^-} \cdot D_{max} = 3,6$$

Devem ser consideradas as quedas de tensão presentes no circuito do condicionador de tensão. Portanto, o valor para relação de transformação será:

$$N_1 = 3$$

O valor máximo da potência processada pelo transformador será:

$$S_1 = \Delta \cdot v_{a_rms} \cdot i_{o_rms} = 2 \text{ kVA}$$

Depois de confeccionado, o transformador foi ensaiado a fim de obter o valor da indutância de dispersão. Foi obtido o valor de $300 \mu H$ referida ao primário do transformador, que pode ser aproveitada para compor o filtro da tensão de saída do inversor.

3.2.2 Indutor L_o

A indutância do filtro de saída deve ser obtida a partir da equação 1.12:

$$L_o = \frac{100 \cdot v_{o_rms}^2 \cdot N_1}{s_o \cdot F_s \cdot \Delta i_{L_o}} \cdot \left| \frac{d_{max}}{2} \cdot \frac{1}{N_1 + d_{max}} \cdot (1 + d_{max}) \right| = 181,5 \mu H$$

Observa-se que o valor da indutância L_o é menor que a indutância de dispersão do transformador. Porém, a fim de reduzir os esforços de corrente no condicionador, adicionou-se um indutor externo.

$$L_o = L_{dp} + L_{ext} = 300 \mu + 300 \mu = 600 \mu H$$

3.2.3 Capacitor C_o

A capacitância do filtro de saída é obtida a partir da equação 1.15:

$$\Delta v_{Co_max} = \left| \frac{d_{max}}{4} \cdot \frac{N_1^2}{N_1 + d_{max}} \cdot (1 + d_{max}) \right| = 0,225\%$$

$$C_o = \frac{100 \cdot \Delta v_{Co_max} \cdot 4}{\pi^3 \cdot \Delta v_o \cdot L_o \cdot F_s^2} = 4,031 \mu F$$

A frequência de ressonância do filtro de saída ficou em torno de $7,6kHz$. Recomenda-se para o bom funcionamento do sistema de controle que essa frequência deve ser inferior a uma década da frequência de comutação, ou seja $2kHz$. Assim, calcula-se um novo valor para a capacitância do filtro:

$$C_o = \frac{100}{(2 \cdot \pi \cdot F_s)^2 \cdot \frac{L_o}{N_1^2}} \approx 95 \mu F$$

Por disponibilidade comercial, optou-se pelo seguinte valor de C_o :

$$C_o = 120 \mu F = 60 \mu F + 60 \mu F$$

3.2.4 Dimensionamento dos Interruptores

O dimensionamento dos interruptores deve ser feito considerando que o condicionador pode alimentar os mais variados tipos de carga. O tipo de carga que causa maiores esforços de corrente nos interruptores é a não-linear. Portanto, foi simulado uma carga não-linear do tipo retificador com filtro capacitivo de $10kVA$ obtendo os seguintes dados:

$$i_{o_pico} = 125 A \quad i_{o_rms} = 47 A \quad FC = 2,65$$

Assim, os interruptores devem ser capazes de suportar os seguintes esforços de corrente e tensão:

1. Corrente eficaz:

$$i_{int_rms} = \frac{i_{oef}}{N\sqrt{2}} \approx 8,3 A$$

2. Máxima corrente (pico):

$$i_{int_pico} = \frac{i_{o_pico}}{N} \approx 31,25 A$$

3. Tensão máxima reversa:

$$v_{int_max} \approx v_{o_pico} \approx 311 V$$

Com base nos catálogos disponíveis optou-se pelo módulo *IGBT* da *Semikron SKM50GB063B* composto por dois interruptores com diodos em antiparalelo formando um braço. E como dissipador utilizou-se o modelo *SP 0,25* com ventilação forçada do mesmo fabricante.

3.2.5 Esquemático do Circuito de Potência e Proteção do Condicionador

Na Fig. 3.1 tem-se o diagrama representativo do estágio de potência incluindo os elementos de proteção para o condicionador de tensão.

Para proteção do conversor, além do disjuntor de entrada e do fusível ultra rápido, foram utilizados dois contadores da *Weg* capazes de suportar $25A$ de corrente eficaz para cada contato sendo acionado por tensão alternada de $220V$ eficaz, e dois *IGBTs* da *IR* (*International Rectifier*) IRG4psc71ud.

O contador 1 está posicionado logo após o fusível, sendo responsável pela alimentação do estágio de potência. O sinal de comando para o acionamento desse contador é originado no *DSP* passando pela placa de condicionamento a qual o eleva a amplitude necessária para o acionamento do relé auxiliar. Foram utilizados os três contatos *NA* (normalmente aberto) em paralelo para elevar a capacidade de corrente a $75A$ eficaz. Em caso de um possível defeito, o *DSP* imediatamente gera o sinal para abertura do contador 1.

Caso ocorra atuação da proteção de sobrecorrente no primário do transformador ou a proteção de erro nos *drivers*, o simples fato de inibir os sinais de gatilho para os *IGBTs* causa uma sobretensão nos interruptores que pode ser destrutiva uma vez que não há caminho para circulação da corrente $i_{Lo}(t)$. Para solucionar esse problema, foi acrescentado em paralelo com o primário do transformador e o indutor do filtro os *IGBTs* S_{p1} e S_{p2} que garantem um caminho para circulação da corrente $i_{Lo}(t)$. Também foi adicionado em paralelo com os *IGBTs* um contato *NA* do contador 2 e na saída do inversor, o contato *NF* do contador. Assim, quando houver a atuação de uma das proteções, ocorrem os seguintes procedimentos:

1. O *DSP* envia simultaneamente o sinal para desativar o contador 1 e o sinal para inibir os pulsos dos *IGBTs* do retificador e inversor;

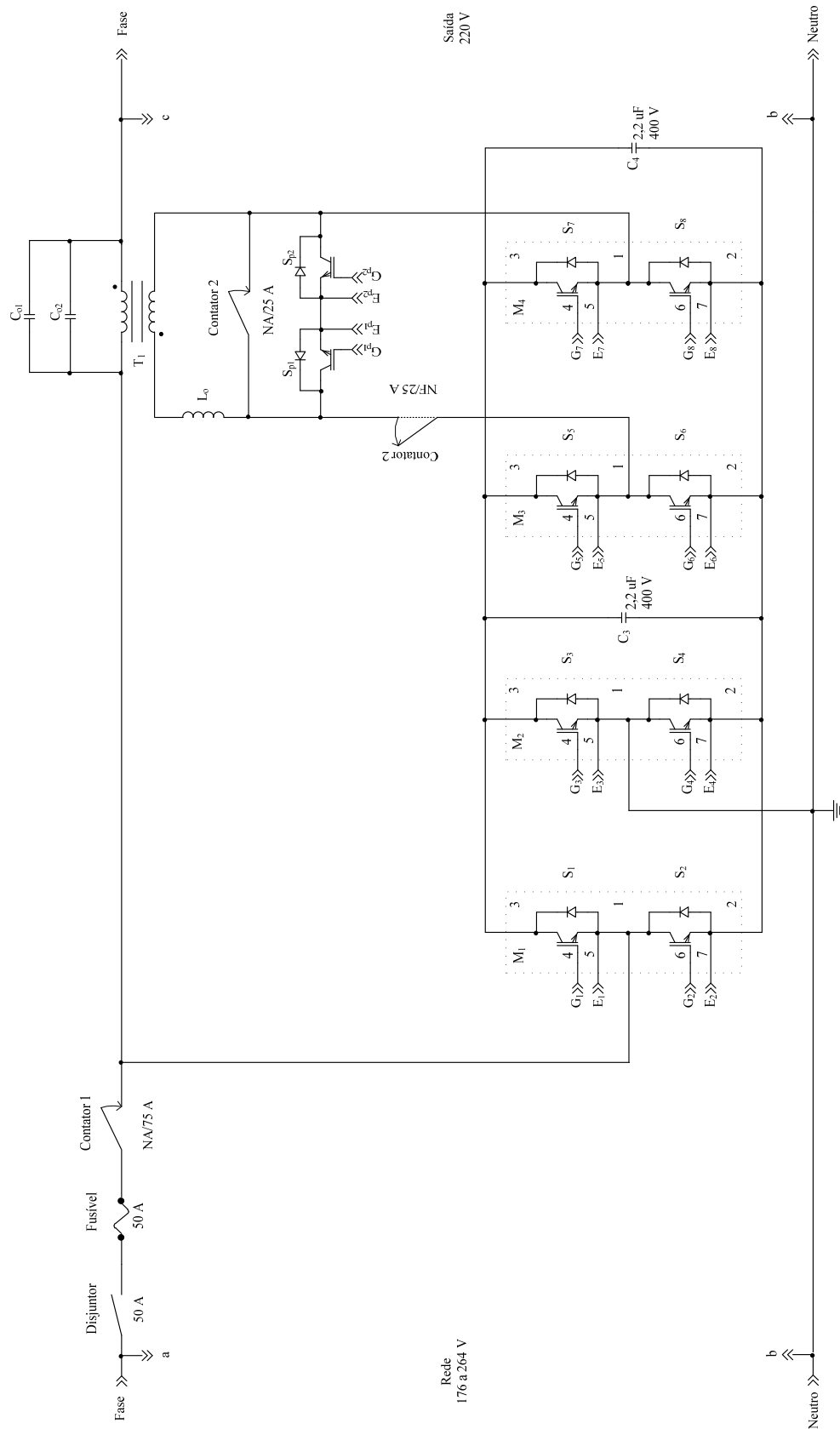


Fig. 3.1 –Diagrama esquemático do circuito de potência com os elementos para proteção.

2. O sinal para inibir os comandos do conversor passa por um circuito de atraso presente na placa de condicionamento de sinais e após alguns milésimos de segundo é enviado um sinal de comando para o contator 2 e para os *IGBTs* de proteção;
3. Os *IGBTs* são os primeiros a entrarem em condução e o contato *NA* é fechado e o contato *NF* é aberto, isolando o inversor do primário do transformador.

3.3 Projeto dos Circuitos de Interface com *DSP* e Condicionamento de Sinais

O diagrama de conexões presente na Fig. 3.2 representa a estrutura de interface com o *DSP* e condicionamento de sinais. Nele estão presentes todos os sinais que trafegam entre os fios que conectam as diversas placas do sistema.

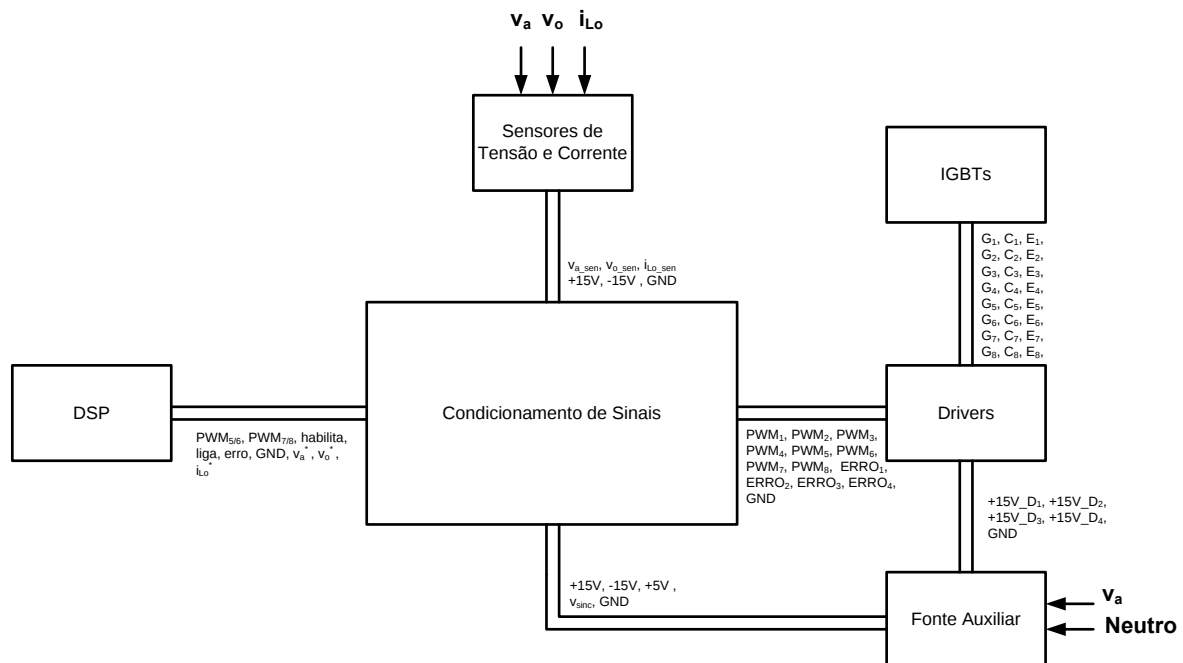


Fig. 3.2 - Diagrama de conexões.

3.3.1 Fonte Auxiliar

Para a alimentação dos circuitos de comando foi confeccionada uma fonte auxiliar linear conforme o circuito presente na Fig. 3.3. Foram projetados os seguintes níveis de tensão: $+15V$, $-15V$, $+5V$ e $-5V$. Também foi acrescentado um enrolamento auxiliar com a intenção de reduzir a tensão de entrada $v_a(t)$ para ser aplicada no circuito de sincronismo responsável pela obtenção dos sinais de comando para os interruptores do retificador (S_1 a S_4). Equation Chapter 3 Section 1

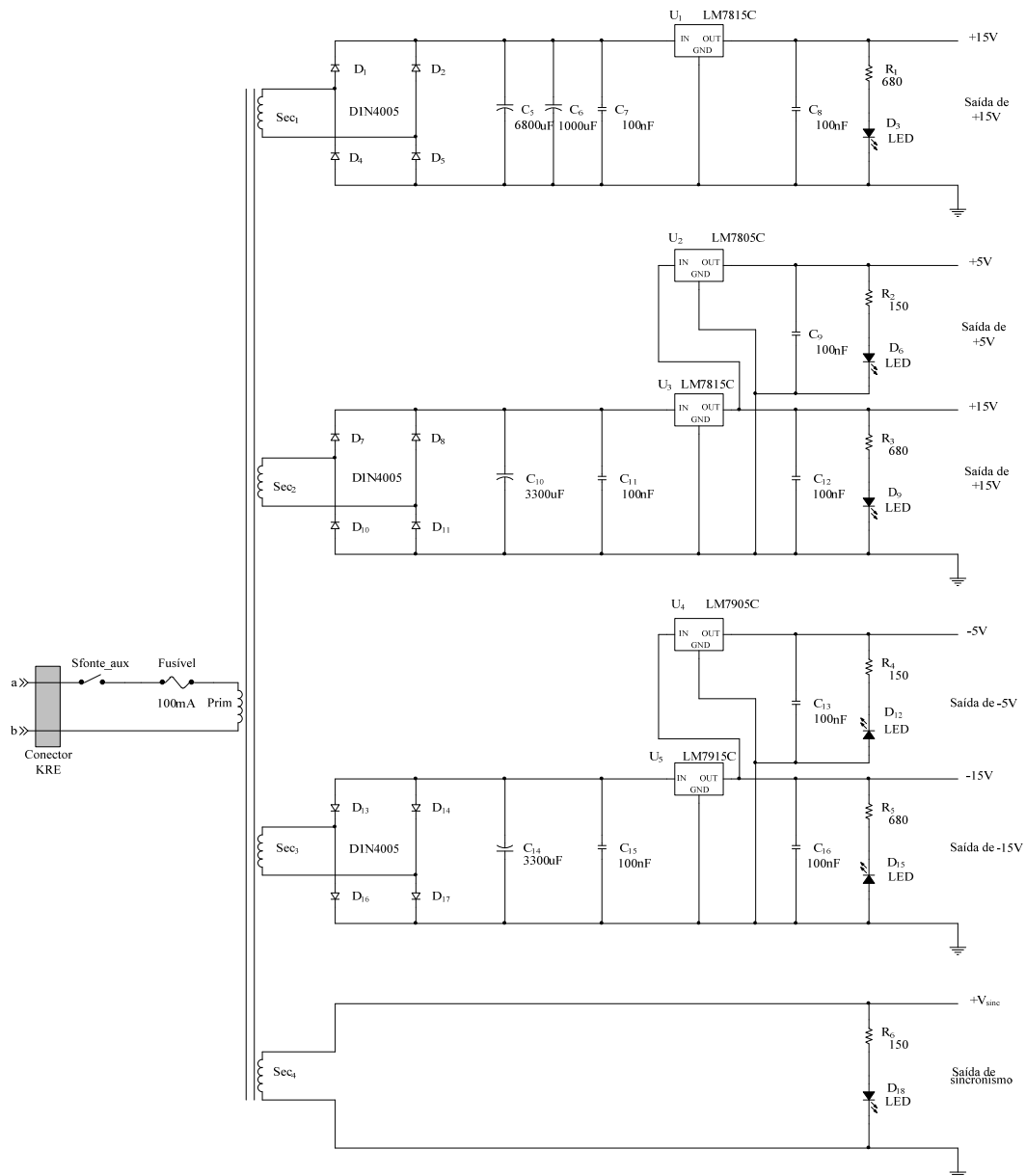


Fig. 3.3 - Fonte auxiliar.

3.3.2 Filtro Anti Aliasing

O efeito *aliasing* ocorre quando frequências acima da frequência de amostragem são adquiridas pelo conversor A/D. Para solucionar esse problema, deve ser implementado um filtro analógico *anti-aliasing*. O circuito presente na Fig. 3.4 representa o filtro *anti-aliasing*. A função de transferência e a equação para obtenção do ganho k_{faa} podem ser verificadas nas expressões (3.1) e (3.2), respectivamente.

$$G_{faa}(s) = \frac{k_{faa}}{s + k_{faa}} \quad (3.1)$$

$$k_{faa} = \pi \cdot f_a \quad (3.2)$$

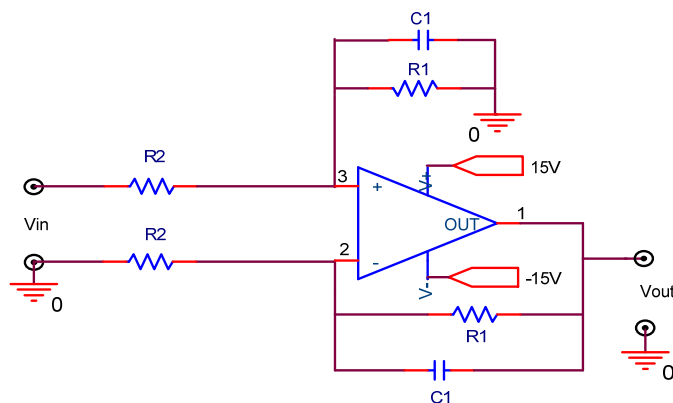


Fig. 3.4 - Circuito do filtro ant aliasing.

A frequência de corte do filtro deve ser da ordem da metade da frequência de amostragem. Assim, estipulando $R1 = R2 = 10 \text{ k}\Omega$, obtém-se para $C1$ o valor de $1,6 \text{ nF}$.

3.3.3 Amostragem das Tensões de Entrada e de Saída do Condicionador

Todo sinal a ser amostrado pelo A/D do *DSP* deve estar entre os níveis de 0 a 3,3V. Portanto, como todos os sinais utilizados no controle do condicionador de tensão são alternados e conseqüentemente possuem valores negativos, deve ser incluído um sinal contínuo nos sinais amostrados para eliminar os valores negativos e posteriormente atenuados para permanecerem entre os níveis exigidos pelo conversor A/D do *DSP*.

Na Fig. 3.5 tem-se o esquemático completo para a aquisição da tensão de entrada $v_a(t)$, sendo idêntico para a tensão de saída $v_o(t)$. Observa-se que o sinal de tensão passa pelo sensor da LEM LV-25P sendo aplicada uma atenuação de 0,00443. Na sequência o sinal passa pelo filtro anti *aliasing* através do primeiro amplificador operacional, depois é adicionado um nível cc correspondente a metade de 3,3V e uma nova atenuação é aplicada ao sinal através do ganho do amplificador de $22k\Omega/47k\Omega$. Por fim, o sinal passa pelo grampeador da Texas TL7726, o qual tem a função de limitar o sinal no valor máximo de 3,3V.

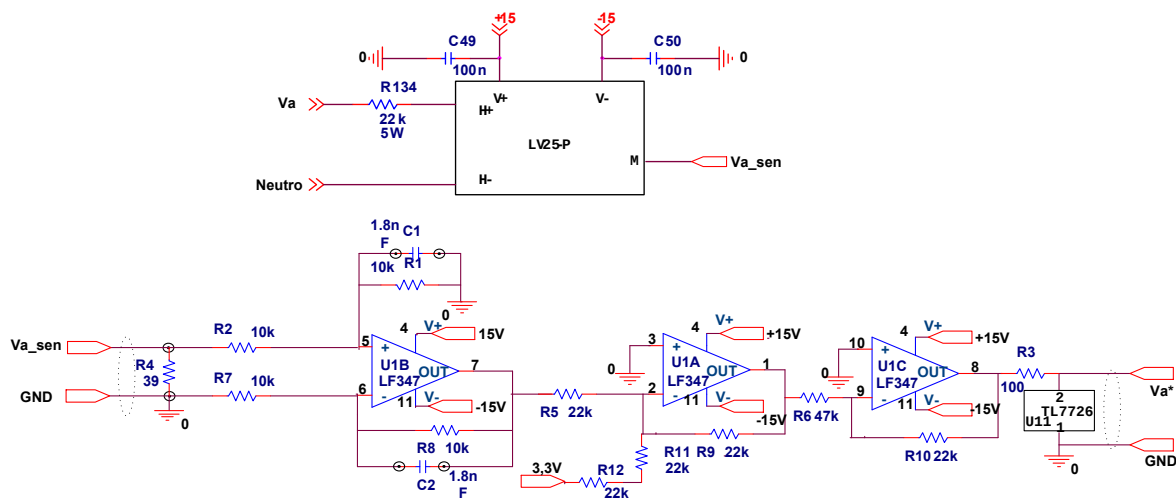


Fig. 3.5 - Circuito para aquisição dos sinais de tensão.

3.3.4 Amostragem da Corrente $i_{Lo}(t)$

O circuito responsável pela amostragem da corrente do primário do transformador é o mesmo para amostragem da tensão, mudando apenas o sensor e o ganho do sensor. Foi utilizado o sensor de efeito *hall* da LEM LA125P, sendo a relação de transformação do sensor de 1:1.000 com um resistor de amostragem de 100Ω , resultando em um ganho de 0,1. Ou seja, caso esteja circulando uma corrente de 10A de pico no primário do transformador será aplicada uma tensão de 1V de pico na entrada do filtro *anti-aliasing*.

O esquemático completo para sensoriamento da corrente $i_{Lo}(t)$ está representado na Fig. 3.6.

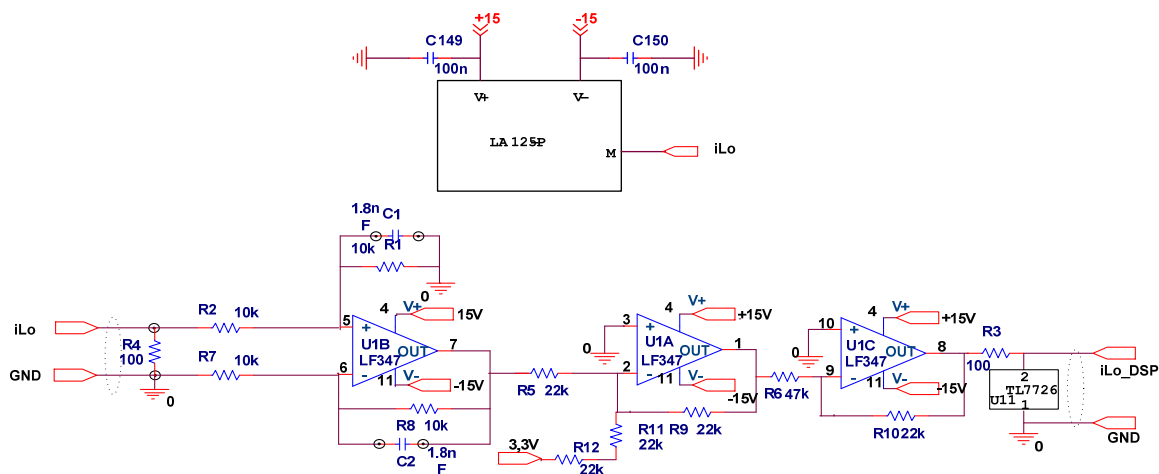


Fig. 3.6 - Circuito para aquisição da corrente $i_{L_0}(t)$.

3.3.5 Sinal de Sincronismo e Comando de S_1 a S_4

A fonte auxiliar apresenta um enrolamento adicional cuja função é reduzir a tensão de entrada a ser aplicada no circuito de sincronismo. Na saída do circuito da Fig. 3.7 tem-se o sinal de sincronismo $Sinc_RET$ para obtenção dos gatilhos para os interruptores S_1 a S_4 , $Sinc_RET$ é um sinal quadrado em fase com v_a . Assim, durante o semiciclo negativo $Sinc_RET$ permanece em 0 V e no semiciclo positivo mantém-se em $+5\text{ V}$.

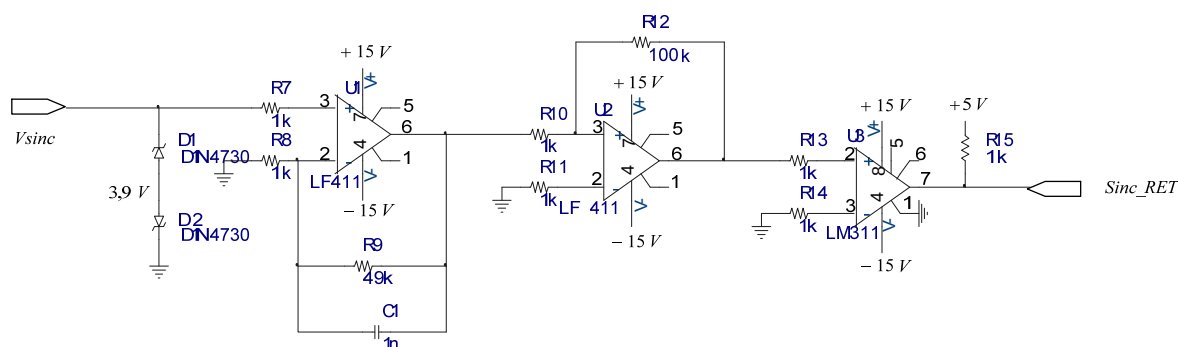


Fig. 3.7 - Circuito para obtenção do sinal de sincronismo.

O sinal *Sinc_RET* passa por um *buffer* (CIs 7407 e 7405) com saída em coletor aberto conectada a 15 V . Os sinais PWM ainda passam por uma porta *and* com o sinal *Inibe_geral*, o qual em caso de atuação de uma das proteções anula o sinal de gatilho dos IGBTs impondo 0 V na porta *and*. Detalhes desse circuito podem ser verificados na Fig. 3.8.

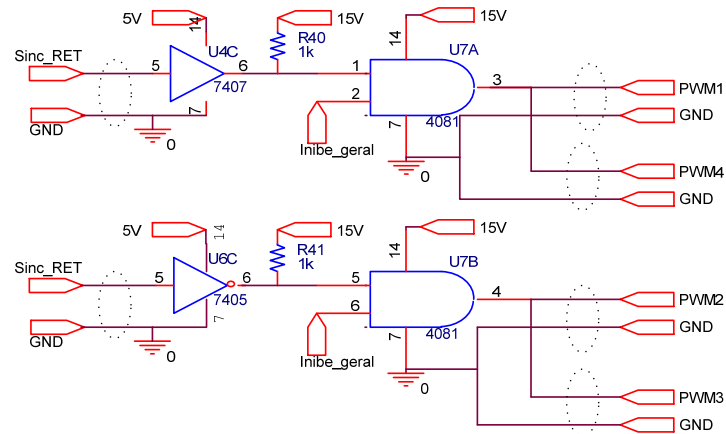


Fig. 3.8 - Circuito de comando do retificador

3.3.6 Circuitos de Comando Para os Interruptores S₅ a S₈

A saída dos moduladores PWM do *DSP* possuem níveis de tensão de $0V$ a $3,3V$, sendo portanto utilizada a mesma estratégia do circuito de comando do retificador para adequar os sinais aos níveis exigidos pelos *drivers*. Também foi utilizada uma porta lógica *and* para inibir os sinais em caso de atuação de alguma proteção. Na Fig. 3.9 tem-se o esquema completo para o comando do inversor.

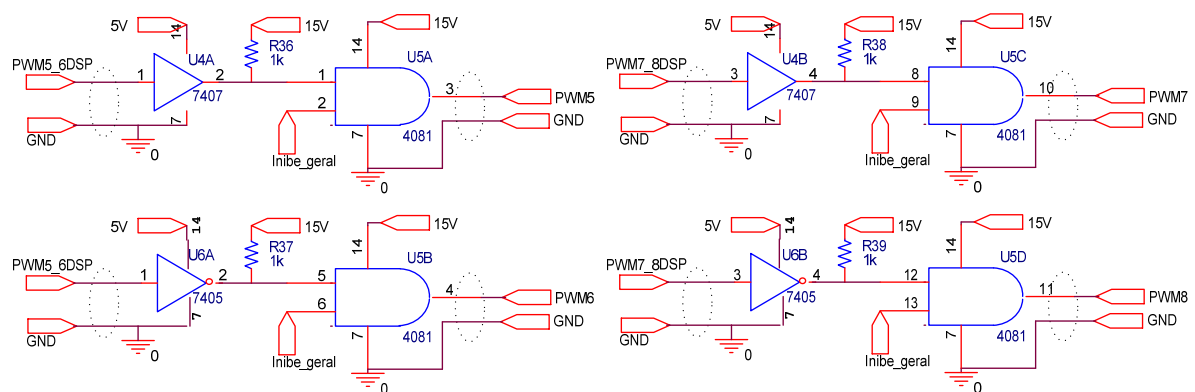


Fig. 3.9 - Circuito de comando do inversor.

3.3.7 Circuitos de Comando Para a Proteção

Como abordado em sessões anteriores, o sistema de proteção envolve dois tipos de atuação: quando houver uma sobrecorrente no primário do transformador ou em caso de erro em um dos quatro *drivers* que acionam os IGBTs.

O esquemático envolvendo todo o sistema de proteção está representado na Fig. 3.10. Observa-se que caso ocorra um problema no *driver 1* o sinal *ERRO_D1* cai para zero, impondo o nível lógico zero na saída da porta *and* (CI 4082). Conseqüentemente, o sinal *erro* (conectado ao pino *IOCP4* do *DSP*) atinge o valor de $3,3V$, sensibilizando a rotina de detecção de erro nos *drivers* e desviando o programa para a rotina de atuação da proteção. Essa rotina imediatamente sensibiliza os sinais *habilita* (pino *IOCP1*) e *liga* (pino *IOCP2*) impondo os níveis lógicos zero e um respectivamente. Assim o sinal *Inibe_geral* atinge o nível lógico zero desabilitando todos os sinais *PWM*, sendo que $1\ \mu s$ depois o sinal *HAB_C_TRAFO* atinge o nível lógico alto comandando simultaneamente o contator 2 e os IGBTs de proteção, curto-circuitando o primário do transformador e os indutores do filtro. No mesmo instante o sinal *HAB_C_SERIE* atinge o nível lógico baixo, desativando o contator 1, ou seja, retira-se a alimentação do condicionador.

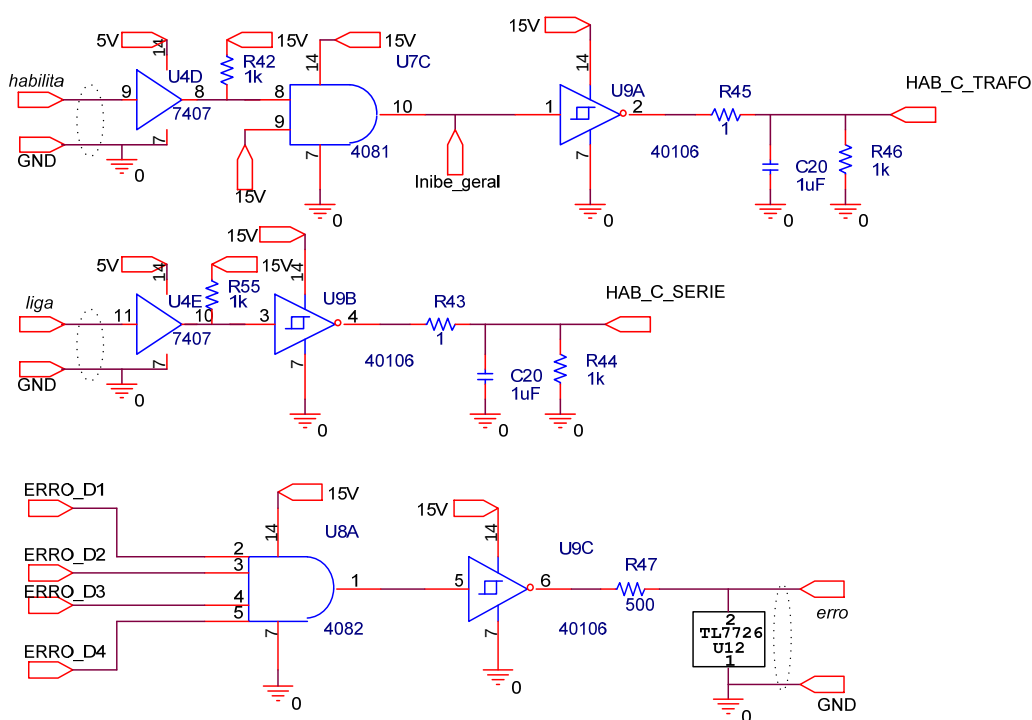


Fig. 3.10 - Esquemático do sistema de proteção.

3.4 Foto do Protótipo

Através dos dados e cálculos apresentados nos itens precedentes desse capítulo, foi construído um protótipo para comprovar experimentalmente os estudos realizados nesse trabalho. A Fig. 3.11 apresenta a foto do protótipo com o mapeamento dos principais elementos que o compõem.

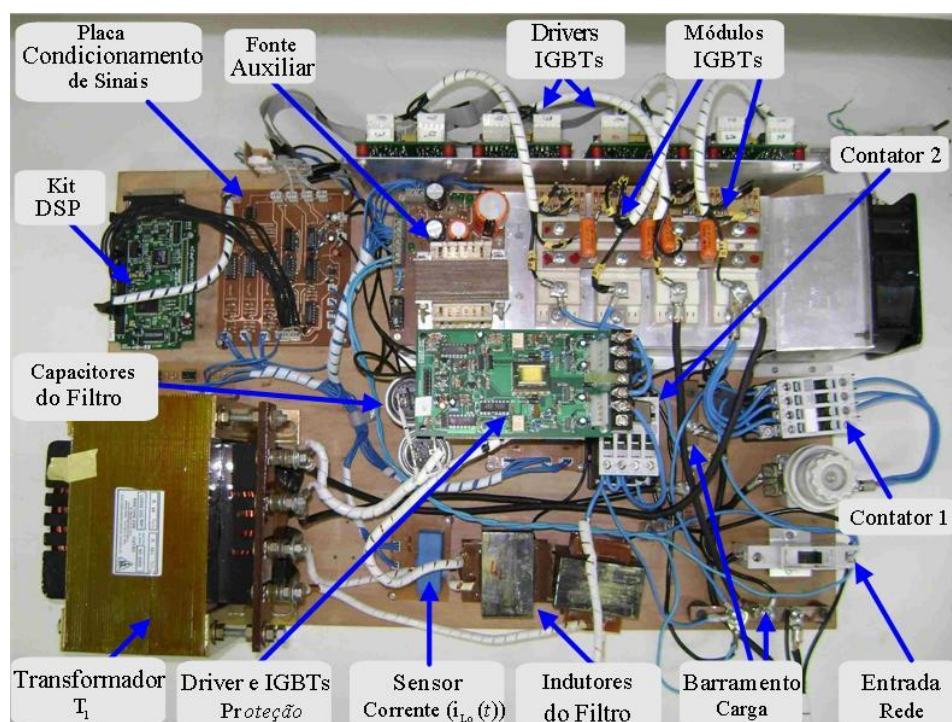


Fig. 3.11 - Foto do Protótipo.

3.5 Conclusão

Neste capítulo foi elaborada uma metodologia de projeto para o condicionador de tensão a partir de toda a análise desenvolvida em capítulos anteriores. Foi realizado um exemplo de projeto a partir do qual construiu-se um protótipo para testes em laboratório.

Foram apresentados e discutidos todos os circuitos eletrônicos de potência, comando e controle, bem como os circuitos de proteção que compõem o protótipo do condicionador.

Capítulo 4 Resultados Experimentais

Neste capítulo são apresentados os resultados experimentais referentes ao condicionador de tensão projetado conforme as especificações do capítulo anterior, no intuito de comprovar a metodologia apresentada nesse trabalho.

São exibidas as formas de onda das principais grandezas do estágio de potência, bem como as do circuito de comando, controle e proteção, abrangendo as diversas condições de operação a que um condicionador poderia ser submetido. Os resultados discutidos nesse capítulo foram divididos em três etapas: sincronismo e referência, malha aberta e malha fechada.

4.1 Sincronismo e Referência

Neste item são apresentados os resultados experimentais acerca dos sinais de sincronismo e referência do condicionador. O sinal de sincronismo é responsável pelo comando dos interruptores do retificador, portanto deve estar em fase com a tensão de entrada e idealmente deve possuir atraso nulo entre a passagem por zero da tensão de entrada e a mudança de nível lógico do sinal de sincronismo para evitar um curto-circuito na fonte de alimentação. No entanto, a obtenção de atraso nulo é impossível na prática devido a não idealidade dos circuitos e componentes. Assim o circuito responsável pela obtenção do sinal de sincronismo apresentado no capítulo anterior obteve um resultado satisfatório com relação ao atraso, conforme mostra a Fig. 4.1, onde apresentam-se os sinais de sincronismo, tensão de entrada e gatilho para S_1 e S_4 .

Na Fig. 4.2 são ilustrados os sinais de sincronismo, comando para os interruptores S_1 e S_4 e comando para os interruptores S_2 e S_3 . Nota-se que o sinal $v_{G1/4}(t)$ está em fase com $Sinc_RET(t)$ enquanto $v_{G2/3}(t)$ está em oposição de fase, uma vez que os interruptores S_2 e S_3 devem estar habilitados no semiciclo negativo de $v_a(t)$.

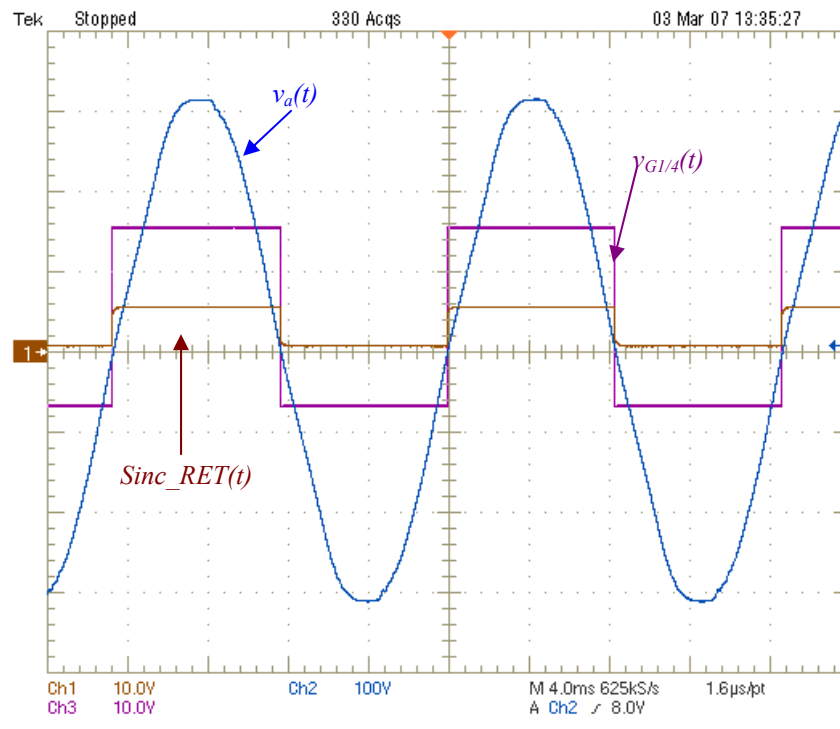


Fig. 4.1 - Tensão de entrada, sinal de sincronismo e comando para $S_{1/4}$.

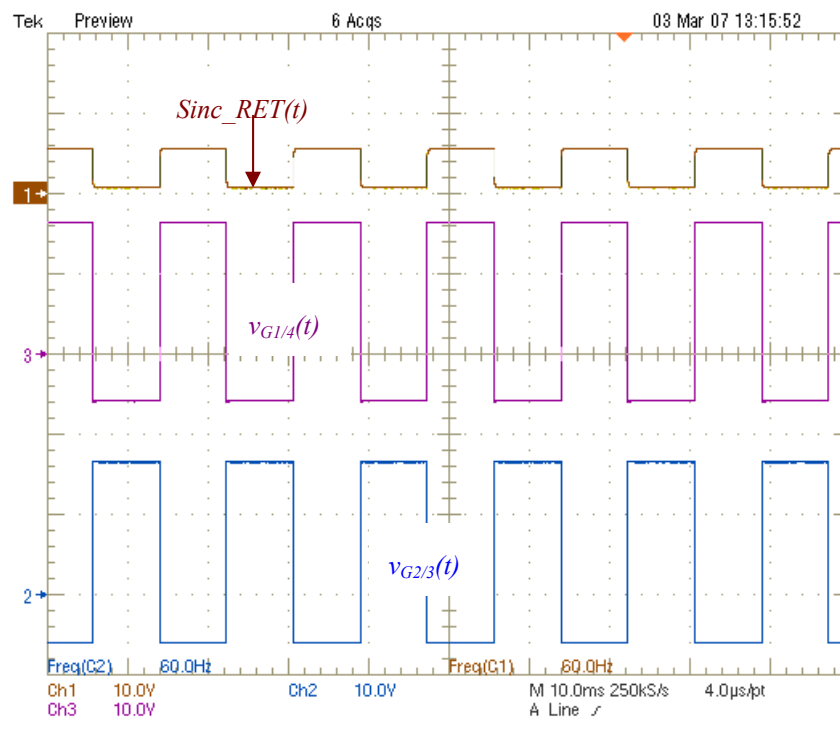


Fig. 4.2 - Sinal de sincronismo e sinais de comando para o retificador.

Os *drivers* têm como função a adequação dos sinais de comando disponibilizados pela placa de condicionamento de sinais com as amplitudes necessárias para entrada em condução ($+15V$) e bloqueio ($-8V$) dos interruptores e também fornecer o tempo morto necessário para evitar um curto-circuito em um dos braços do condicionador. A Fig. 4.3 ilustra tal fato.

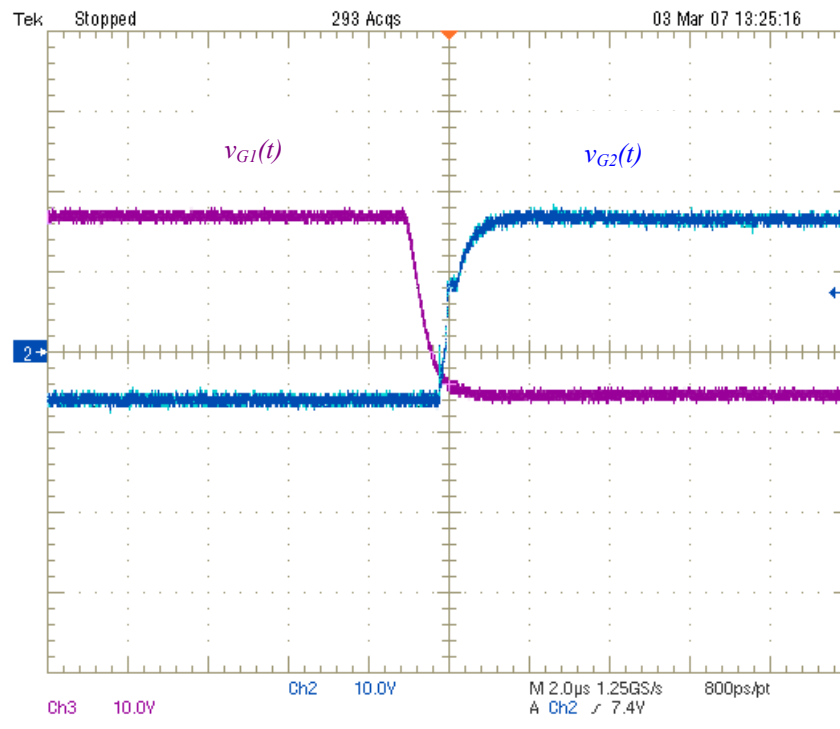


Fig. 4.3 - Detalhe no tempo morto entre os interruptores de um braço.

Como abordado nos capítulos anteriores, o sistema de controle do condicionador de tensão necessita de um sinal de referência senoidal em fase com a tensão de entrada e livre de harmônicas e que seja dinâmico. Ou seja, qualquer variação na frequência da tensão de entrada deve ser acompanhada pelo sinal de referência. A solução apresentada no capítulo 2 foi a de utilizar um sistema *PLL* monofásico. Diversos ensaios foram feitos a fim de comprovar a eficácia do sistema *PLL*, tais como: degraus de amplitude e de frequência na tensão de entrada, tensão de entrada achatada e quadrada. Esses ensaios foram executados utilizando a fonte de tensão 6813B da *Agilent* que mediante programação é capaz de variar instantaneamente a amplitude, o formato e a frequência do sinal de saída.

As curvas apresentadas nas figuras a seguir foram obtidas da seguinte maneira:

- Com o programa de controle sendo executado e o condicionador energizado, porém com os sinais de controle inibidos. Toda vez que o programa desvia para a rotina de tratamento da interrupção do conversor A/D, as variáveis internas referentes a tensão de entrada e sinal de referência são armazenadas em uma determinada região de memória do DSP formando uma tabela com 1.500 pontos para cada variável;
- Após desligar o conversor e parar a execução do programa, é utilizada uma ferramenta do *Code Composer* para extrair as tabelas armazenadas na memória do DSP para uma arquivo com extensão .DAT;
- Através do *software MATLAB* as tabelas presentes nos arquivos são desenhadas na forma de figuras.

Para aprimorar o desempenho do PLL durante a inicialização foi incluída uma rotina de verificação da passagem por zero da tensão. Assim a rotina referente ao PLL só é liberada no instante em que a tensão de entrada $v_a(t)$ passar por zero no sentido negativo para o positivo. A Fig. 4.4 e a Fig. 4.5 demonstram a inicialização do sistema com e sem a rotina de detecção da passagem por zero, respectivamente.

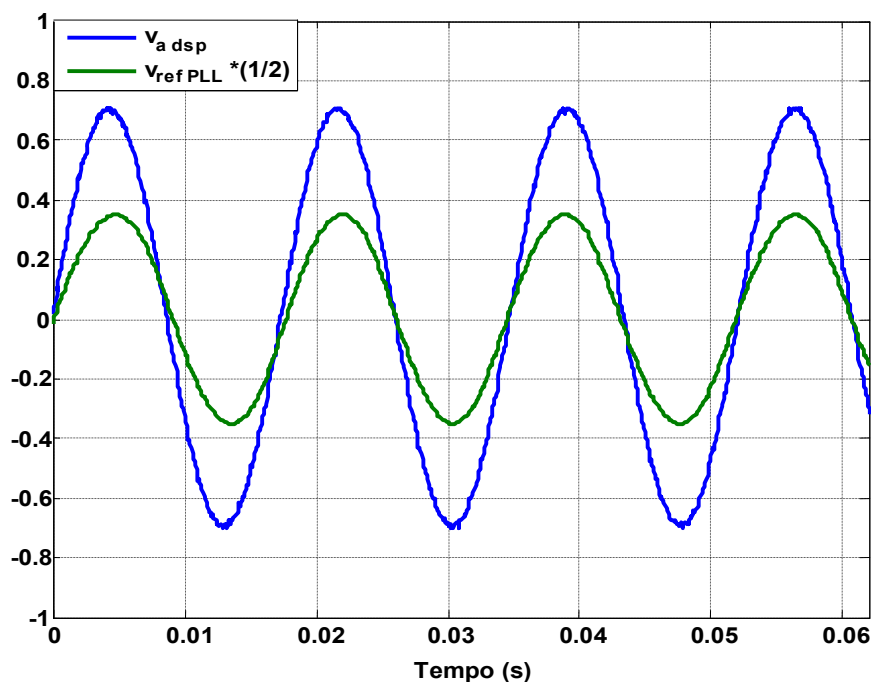


Fig. 4.4 – Inicialização do PLL com rotina de detecção da passagem por zero.

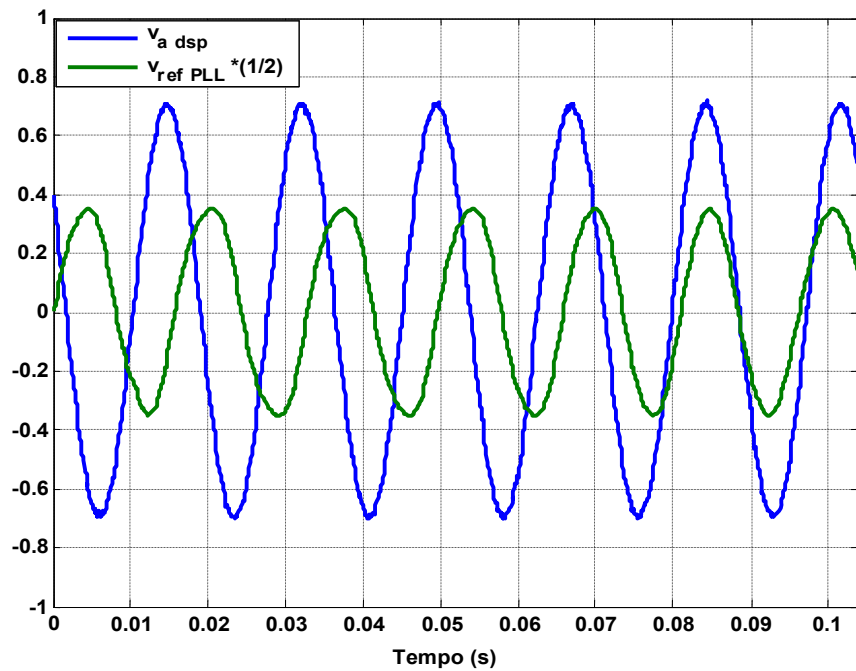


Fig. 4.5 - Inicialização do PLL sem rotina de detecção da passagem por zero.

Observa-se que na Fig. 4.4 o sinal de referência atinge o regime em aproximadamente três ciclos da rede, enquanto que na Fig. 4.6 o regime é atingido em um tempo bem maior, evidenciando a importância do uso da rotina de detecção da passagem por zero em situações que requeiram uma rápida entrada em operação do condicionador.

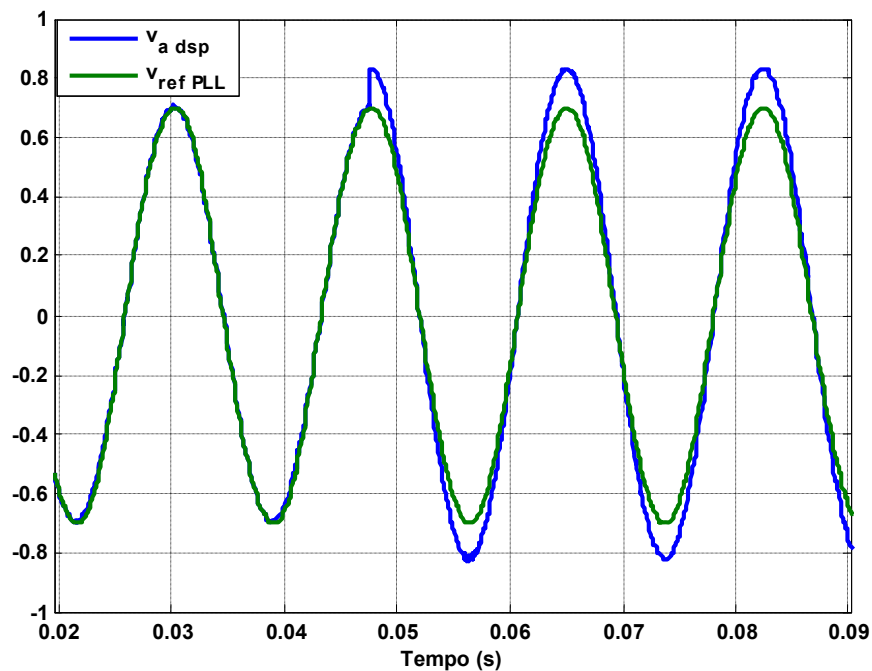


Fig. 4.6 - Degrau de +20% na amplitude.

A principal vantagem de se utilizar sistemas *PLL* para obtenção do sinal de referência é que esse sinal segue o sinal de entrada nas variações de frequência e mantém-se intacto nas variações de amplitude. Para comprovar esse fato, foi aplicado no sinal de entrada um degrau de +20% na amplitude e, conforme mostra a Fig. 4.6, o sinal de referência permanece com formato praticamente senoidal e em fase com a entrada. Isto mostra que o controlador PI do sistema *PLL* projetado no capítulo 2 atende as determinações de projeto, atenuando as oscilações de 120Hz presentes no sinal da potência instantânea trifásica $p_{3\phi}$ impedindo o surgimento de deformações no sinal de referência.

A Fig. 4.7 apresenta a aplicação de degraus simultâneos de +20% na amplitude e 16,6% na frequência, ou seja, no terceiro pico o positivo sinal de entrada fica 20% maior na amplitude e a frequência passa de 60Hz para 50Hz. Nota-se que o sistema atinge o regime após completar dois ciclos da aplicação dos degraus. Isto é, o sinal de referência fica em fase com o sinal de entrada e com formato praticamente senoidal.

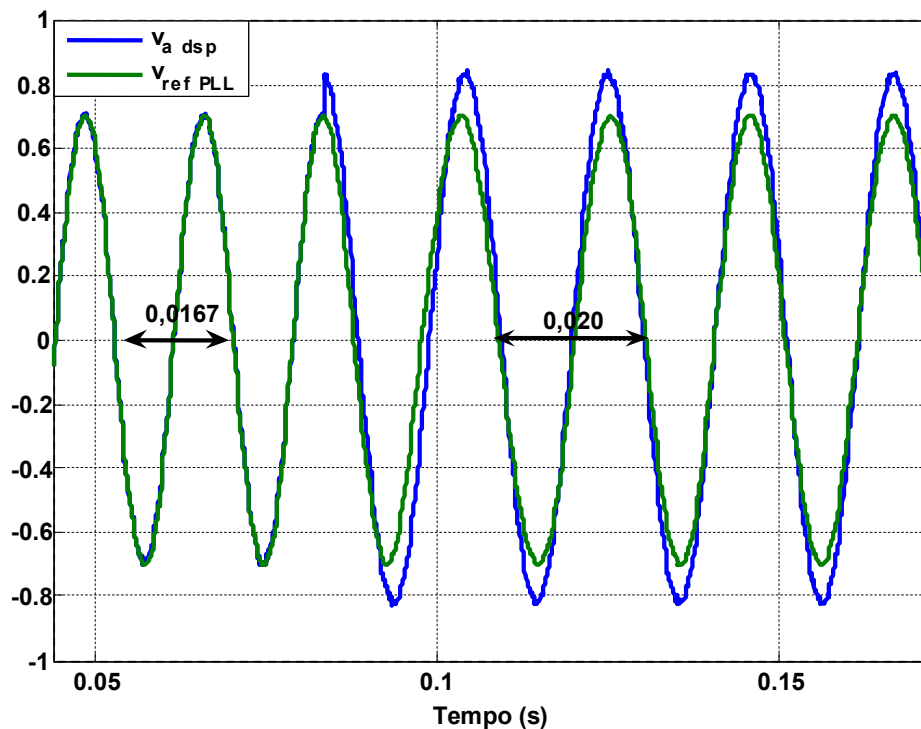


Fig. 4.7 - Degraus de +20% na amplitude e de -16,6% na frequência simultâneos.

Também foi testado o sistema *PLL* submetido a tensão de entrada achatada e quadrada conforme mostram, respectivamente, a Fig. 4.8 e Fig. 4.9. Observa-se que em

ambas as figuras o sinal de referência manteve-se senoidal e em fase com o sinal de entrada comprovando a eficácia do sistema *PLL* projetado.

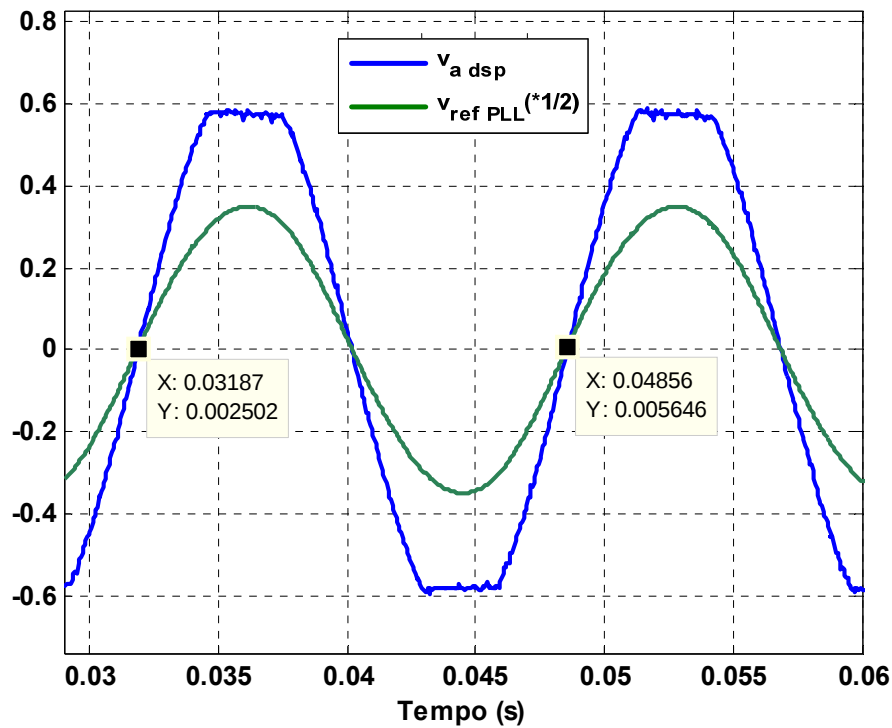


Fig. 4.8 - Tensão de entrada achatada.

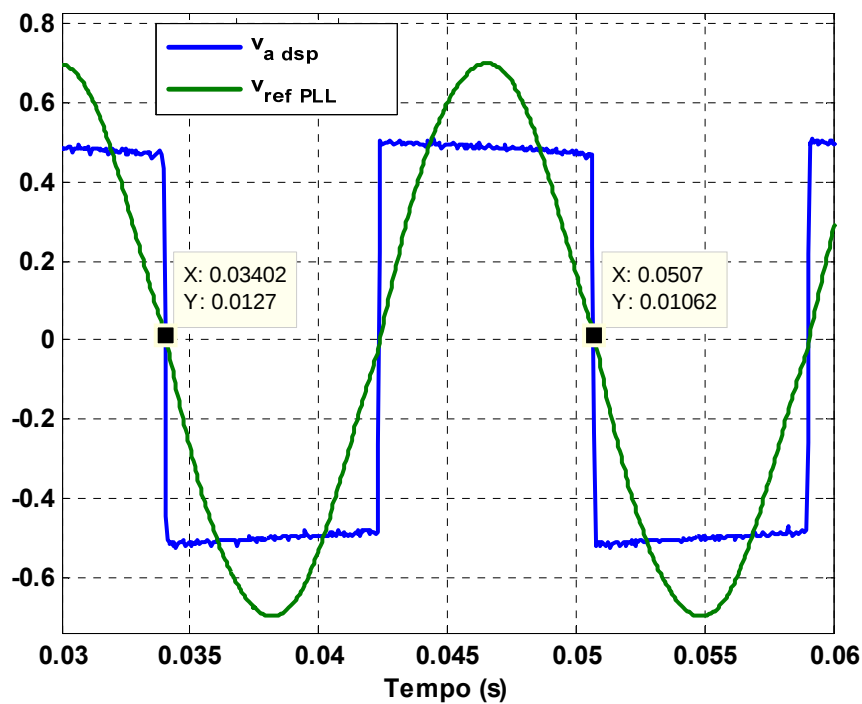


Fig. 4.9 - Tensão de entrada quadrada.

4.2 Malha Aberta

Antes de liberar o sinal de controle do condicionador e iniciar os testes em malha fechada, foi necessário fazer alguns testes em malha aberta para verificar o funcionamento do estágio de potência e comprovação da expressão do ganho estático.

A Fig. 4.10 apresenta as tensões de entrada, de saída e retificada (tensão de entrada para o inversor). Nota-se que a tensão disponibilizada na entrada da parte inversora do conversor nada mais é do que o módulo da tensão v_a , sendo essa a principal característica dos conversores ca-ca de *link* direto.

O funcionamento do inversor está representado na Fig. 4.11 onde estão presentes as formas de onda das tensões de saída do inversor v_{ab} , de entrada v_a e de saída v_o do conversor. Nessa figura, fica evidente a operação do condicionador utilizando a modulação *RPWM* a três níveis. Ou seja, no semiciclo positivo a tensão v_{ab} possui valores positivos e zero e no semiciclo negativo valores negativos e zero.

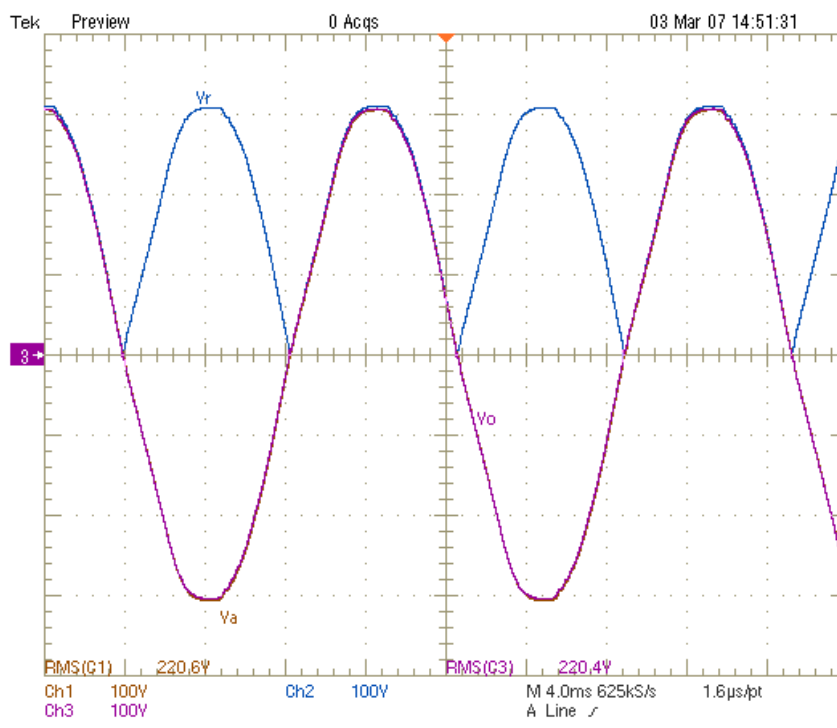


Fig. 4.10 - Testes com o retificador.

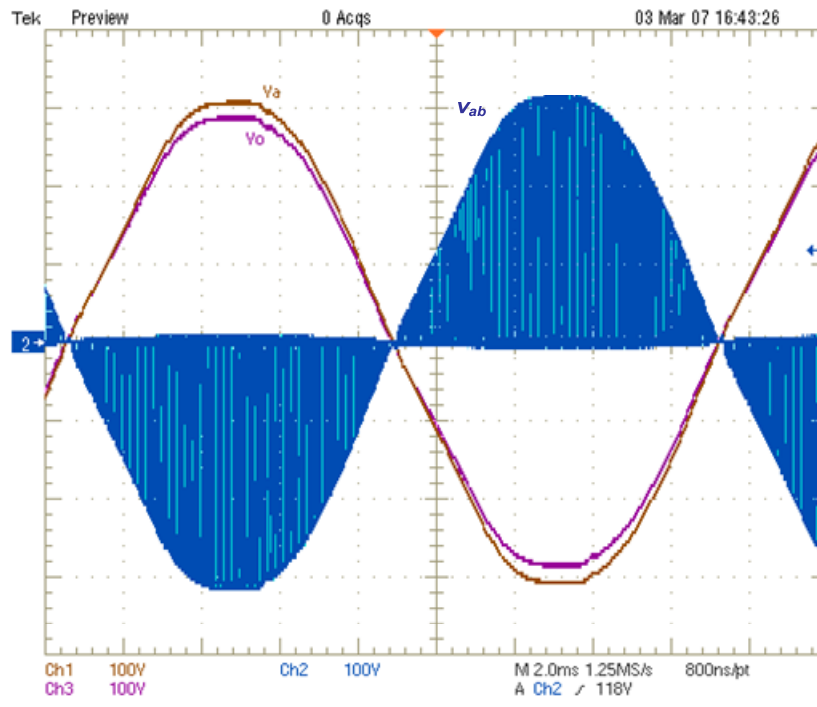


Fig. 4.11 - Testes com o inversor.

A fim de comprovar a expressão do ganho estático foi energizado o conversor com diversos valores de razão cíclica. Na Fig. 4.12 foi utilizado o valor de $0,12$ para $d(t)$ e, conforme esperado, o conversor inseriu no sistema uma tensão de compensação positiva, ou seja, em fase com a tensão de entrada, tornando o valor eficaz da tensão de saída superior ao da entrada. Substituindo na expressão do ganho estático, $v_a = 220,9V$, $N_l = 3$ e $d = 0,12$, chega-se ao valor teórico de $229,7V$ para tensão de saída, muito próximo do valor obtido na prática de $228,9V$.

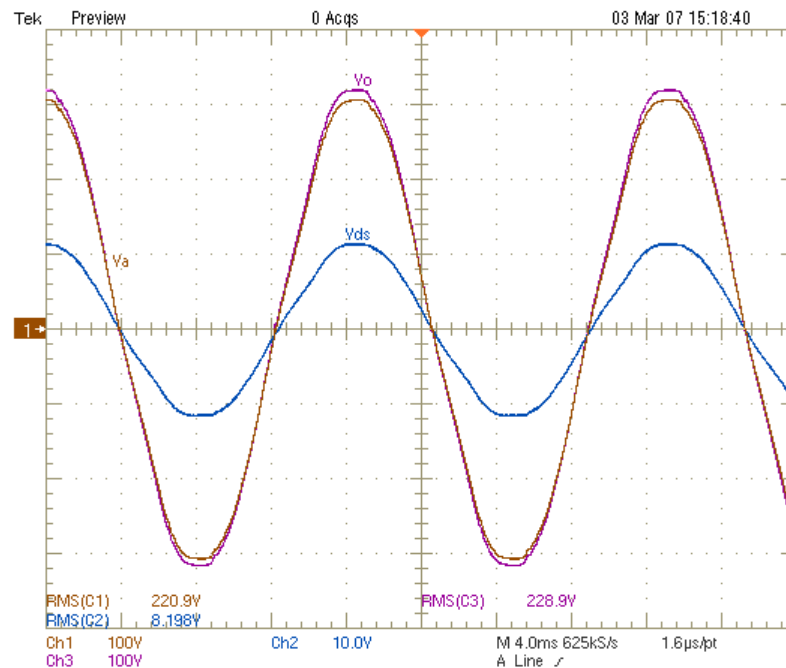


Fig. 4.12 - Tensão de compensação em fase com a tensão de entrada.

Já na Fig. 4.13 foi implementado o valor de $-0,12$ para razão a cíclica. Seguindo o mesmo raciocínio do parágrafo anterior, para um valor eficaz de $220,8V$ na tensão de entrada, $N_I = 3$ e $d(t) = -0,12$, obtém-se um valor eficaz teórico de $211,9V$, também muito próximo do valor de $212,3V$ obtido na prática. Assim, comprova-se a expressão do ganho estático.

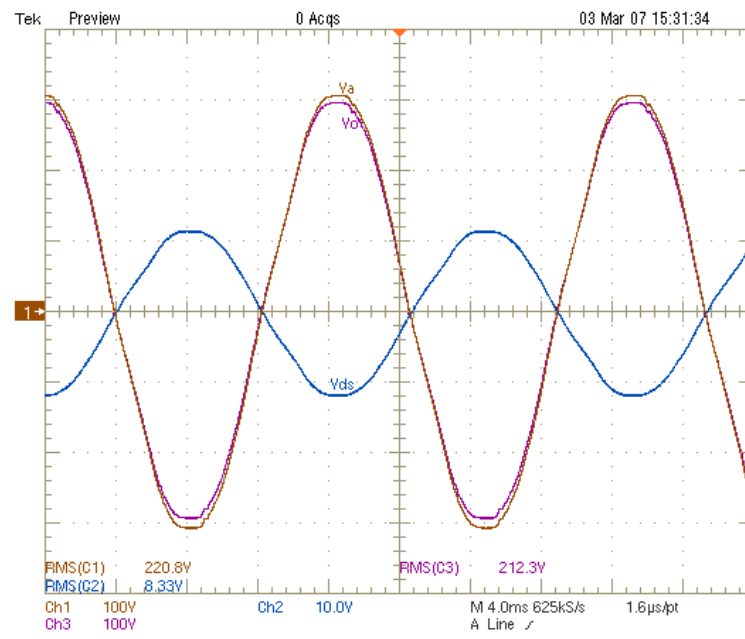


Fig. 4.13 - Tensão de compensação em oposição de fase em relação a tensão de entrada.

4.3 Malha Fechada

Os resultados obtidos em malha fechada se dividem em duas etapas: na primeira tem-se o conversor operando somente com a malha de controle do valor eficaz. Já na segunda o conversor opera com as duas malhas de controle da tensão de saída.

4.3.1 Condicionador Operando sem a Malha de *Feedforward*

Para verificar o funcionamento do condicionador operando apenas com a malha de controle do valor eficaz da tensão de saída foram feitos diversos ensaios, sendo apresentados os mais relevantes, como: degraus positivo e negativo na amplitude da tensão de entrada e o conversor operando com tensão de entrada distorcida.

As tensões de entrada v_a , de saída v_o e de compensação v_{ds} estão apresentadas na Fig. 4.14 no instante em que é aplicado um degrau de $+10\%$ na tensão v_a .

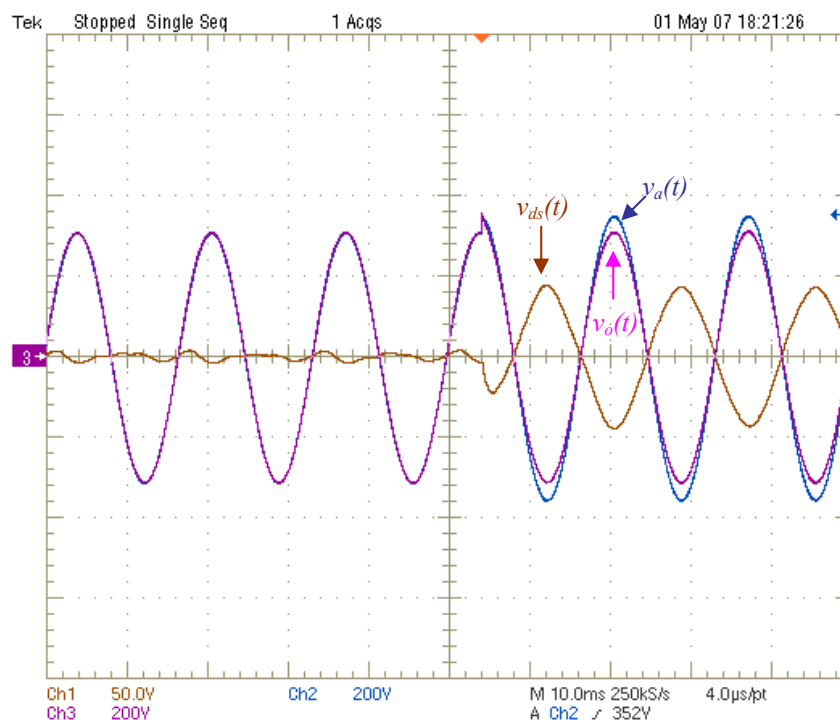


Fig. 4.14 - Degrau positivo na tensão de entrada.

Observa-se que o condicionador operando apenas com a malha de controle do valor eficaz opera de maneira satisfatória, corrigindo rapidamente o degrau de amplitude

aplicado na entrada. A Fig. 4.15 mostra em detalhe o comportamento da tensão de saída no instante em que foi aplicado o degrau. Nota-se que o sistema sem a presença de oscilações e antes de completar meio ciclo após a variação imposta, a tensão de saída apresenta um valor bem próximo do valor de regime.

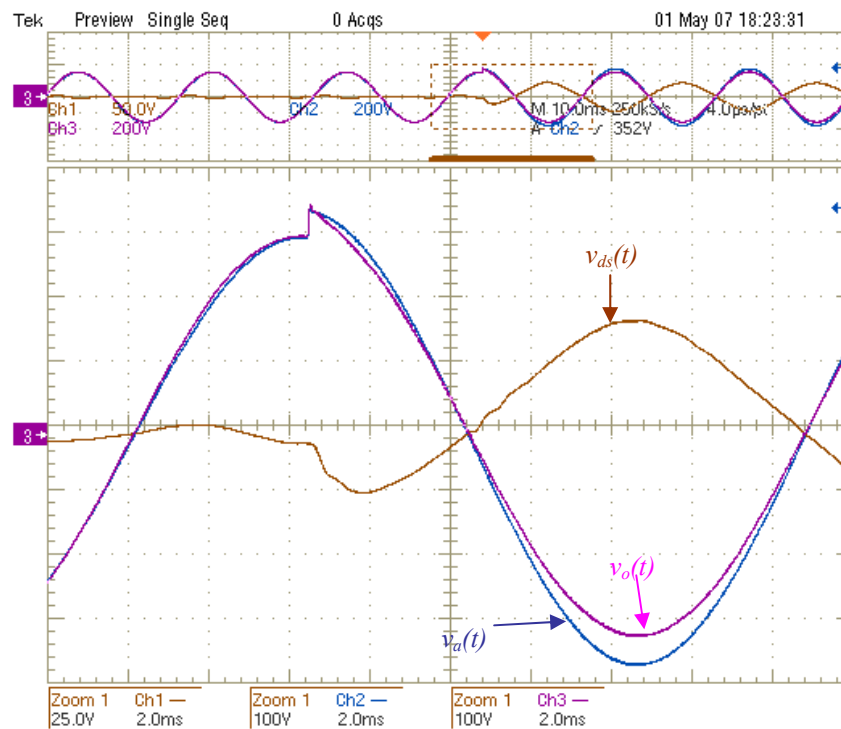


Fig. 4.15 - Detalhe do instante em que ocorreu o degrau positivo.

Na Fig. 4.16 é apresentado o sistema em regime permanente com a tensão de entrada 10% superior, ou seja, com valor eficaz de aproximadamente 242V. Nota-se que a saída mantém-se regulada em 220V eficazes. Isso mostra que a principal exigência de projeto para malha do valor eficaz foi contemplada, ou seja, erro nulo ao seguimento de referência.

Também foi verificado o comportamento do condicionador submetido a um degrau negativo na amplitude da tensão de entrada, conforme mostram a Fig. 4.17 e a Fig. 4.18. Nota-se que o comportamento do sistema foi semelhante ao degrau positivo.

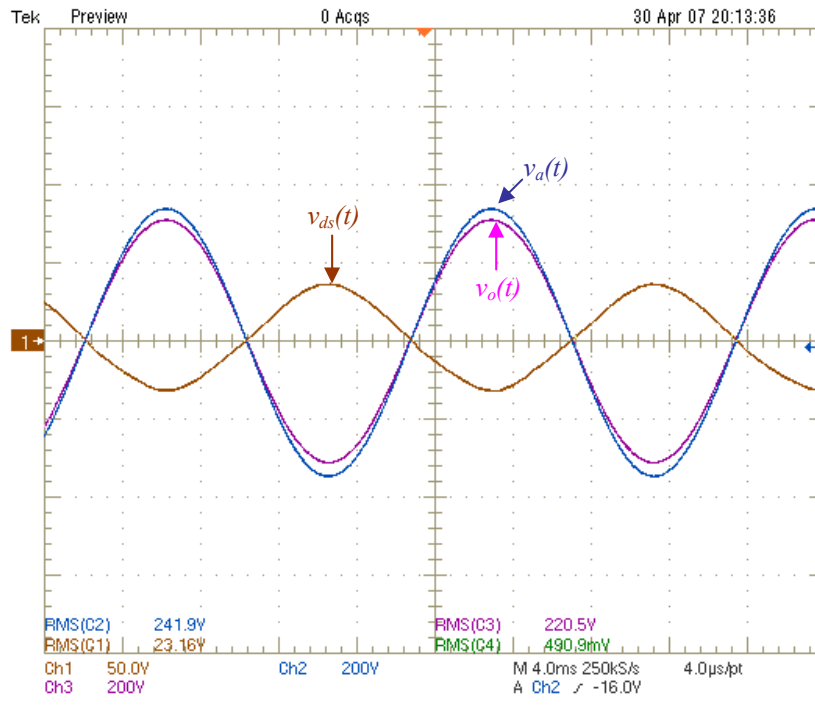


Fig. 4.16 - Sistema em regime após degrau de +10% na tensão de entrada.

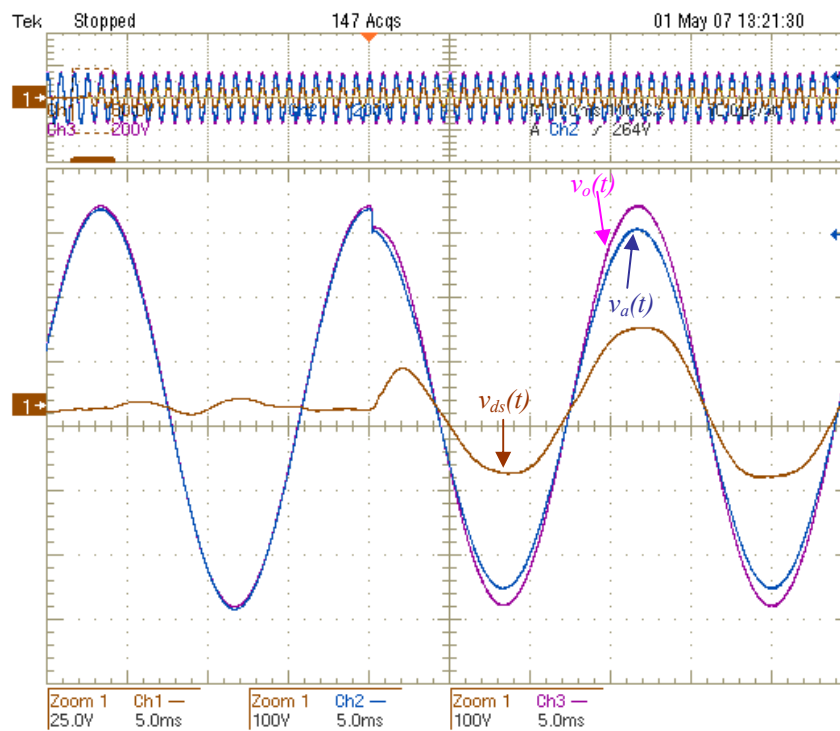


Fig. 4.17 - Degrau de -10 % na amplitude da tensão de entrada.

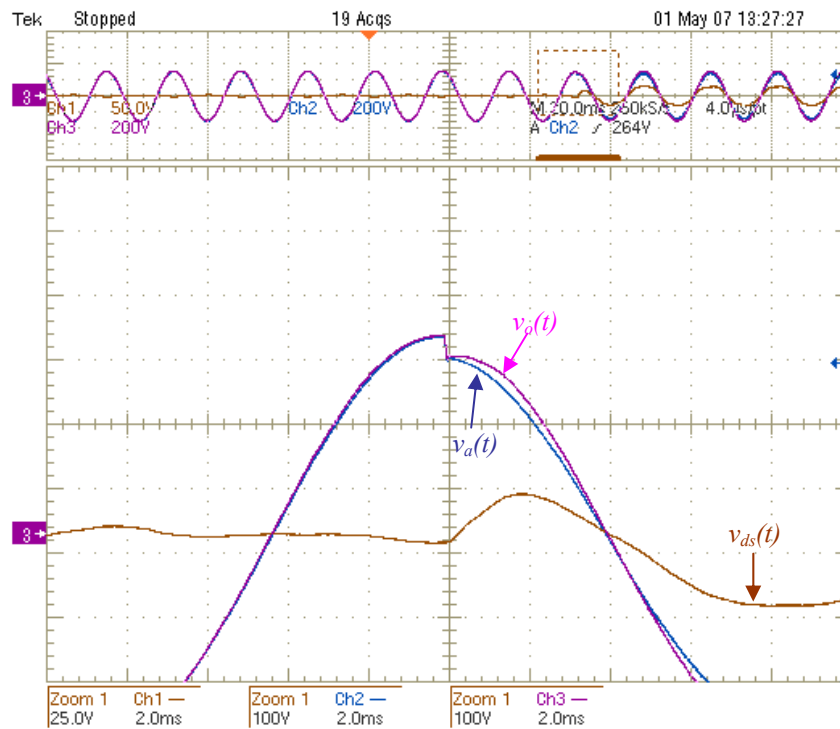


Fig. 4.18 - Detalhe do instante em que ocorreu o degrau negativo.

Para finalizar os testes do sistema de controle operando sem a malha de *feedforward*, foi aplicado ao condicionador uma tensão de entrada achatada, ou seja, com alto conteúdo harmônico. Conforme discutido no capítulo 2, a malha de controle do valor eficaz da tensão não corrige distorções no formato. Tal fato pode ser verificado na Fig. 4.19 e na Fig. 4.20 e principalmente na Fig. 4.21, que mostra a análise harmônica referente a tensão de entrada e de saída exibidas na Fig. 4.19. Observa-se que a *THD* da saída ficou ligeiramente superior à da entrada.

Isso demonstra que o conversor controlado apenas pela malha de controle do valor eficaz da tensão de saída perde a característica de condicionador, operando como um simples estabilizador de tensão.

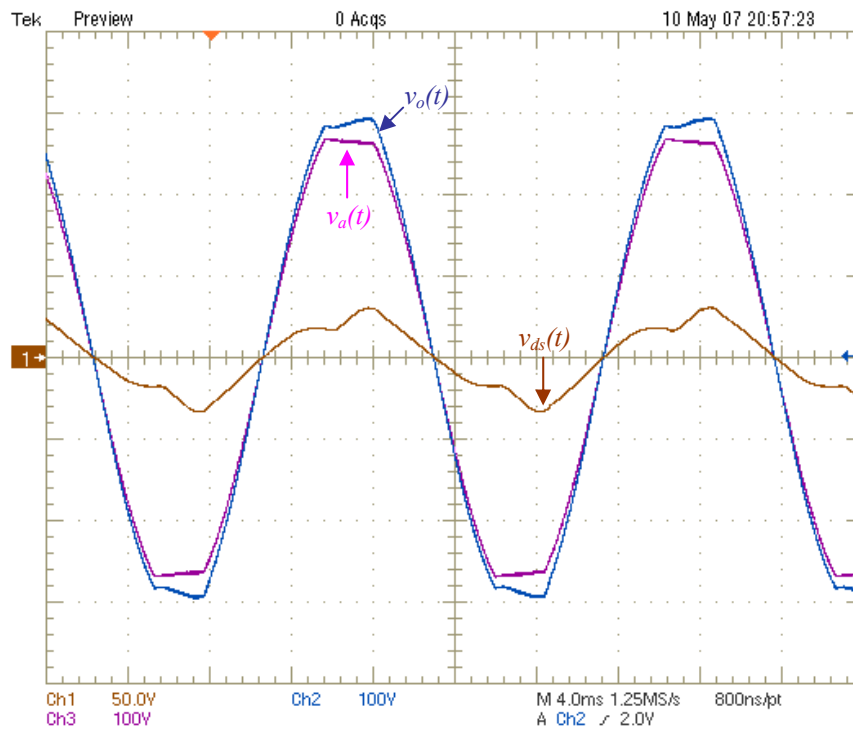


Fig. 4.19 - Tensão de entrada distorcida.

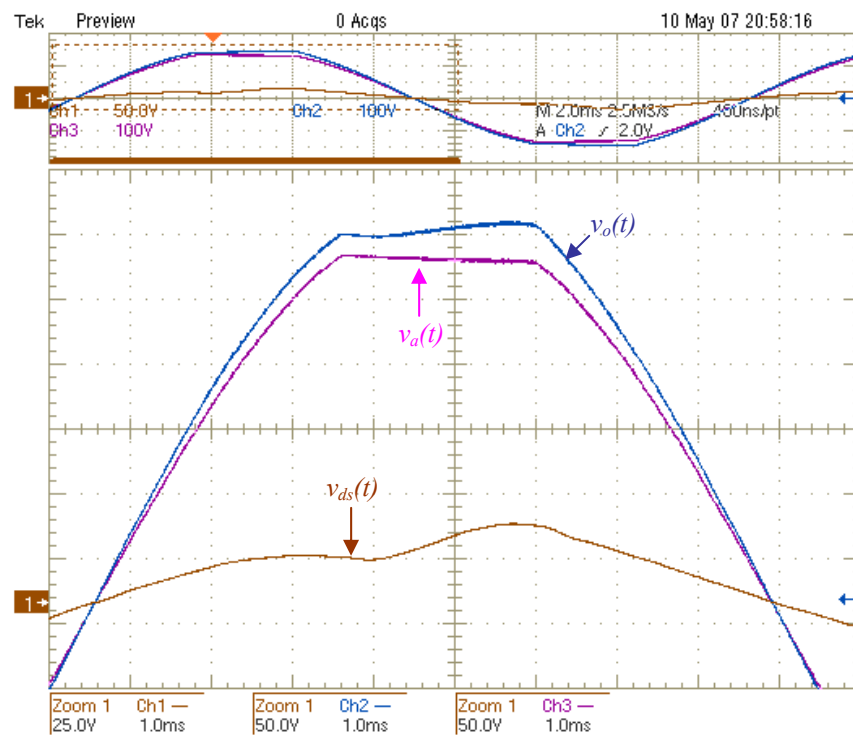


Fig. 4.20 - Detalhe para o formato das tensões no instante do pico.

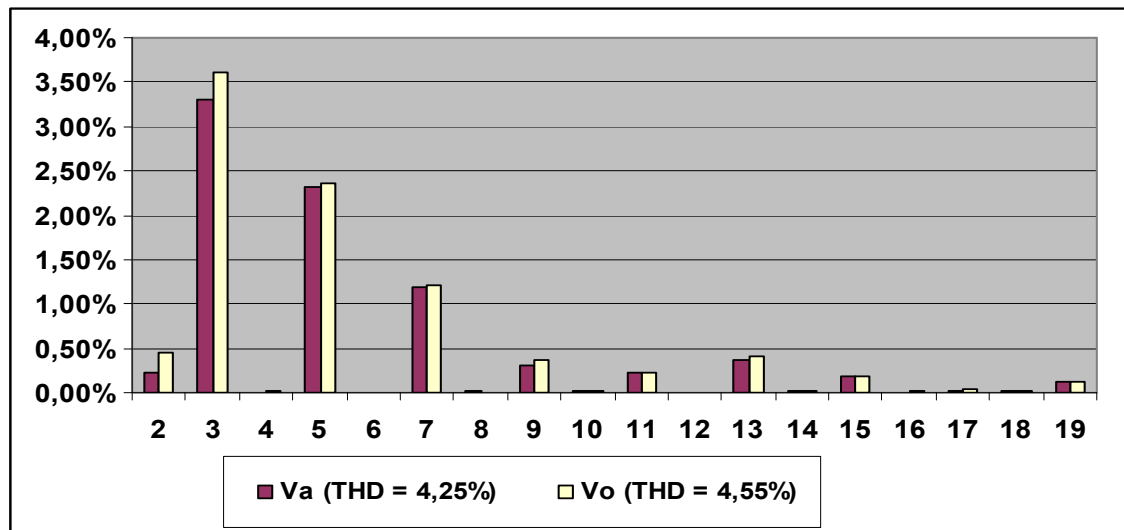


Fig. 4.21 - Análise harmônica e THD para tensão de entrada e saída.

4.3.2 Condicionador Operando Com a Malha de *Feedforward*

Após executados todos os testes com a malha de controle do valor eficaz da tensão de saída, foi habilitado no programa de controle e proteção do condicionador a rotina referente a malha de controle por pré-alimentação da tensão de entrada.

A fim de verificar o comportamento do condicionador perante transitórios de carga, foi aplicado na saída um acréscimo de carga de aproximadamente $1,5kVA$. A Fig. 4.22 apresenta o comportamento da tensão de saída do condicionador no instante da aplicação do degrau e o detalhe do transitório envolvido pode ser analisado na Fig. 4.23. Nota-se que a tensão de saída sofre uma pequena perturbação, a qual é corrigida em um intervalo inferior a $1ms$.

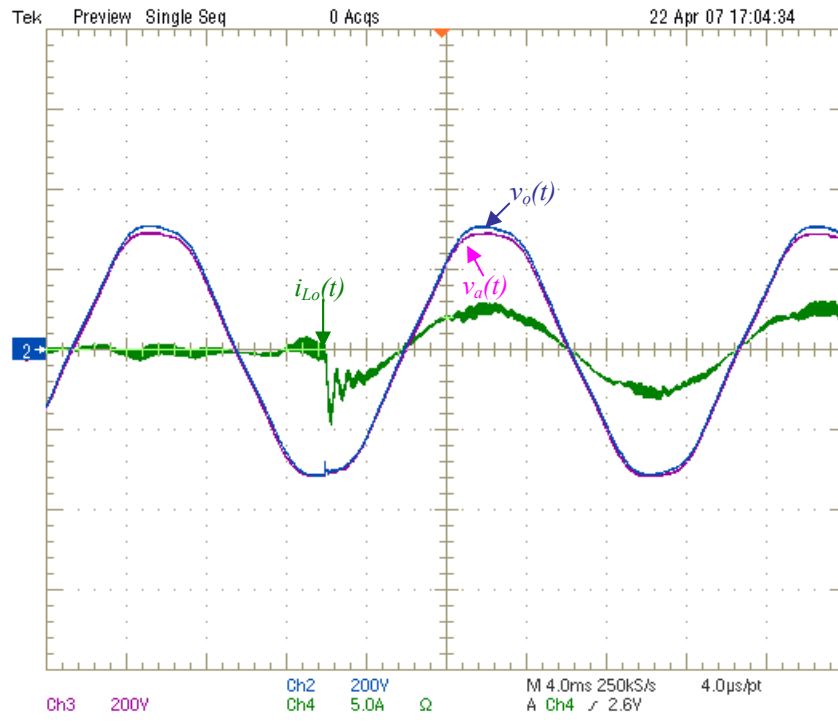


Fig. 4.22 – Ensaio com transitório de carga.

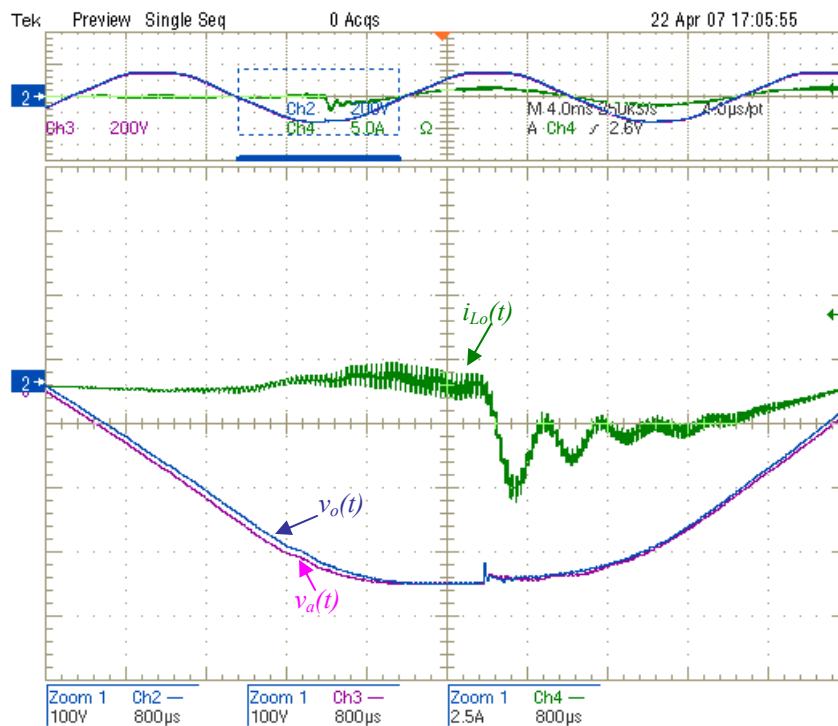


Fig. 4.23 - Detalhe no instante do transitório de carga.

Na sequência será analisado o comportamento do condicionador operando com todas as malhas de controle, perante variações na amplitude da tensão de entrada. A Fig.

4.24 e a Fig. 4.25 apresentam os resultados obtidos quando um degrau de amplitude negativo for aplicado ao conversor. Já a Fig. 4.26 e a Fig. 4.27 mostram os resultados para um degrau positivo.

Comparando as formas de onda presentes na Fig. 4.24 e Fig. 4.26 com os resultados obtidos no item anterior com o conversor operando sem a malha de pré-alimentação, observa-se que houve uma significativa melhora no tempo de resposta do sistema quando submetido a variações na amplitude da tensão de entrada. Com a malha de *feedforward* o condicionador responde quase instantaneamente, aplicando na saída uma tensão regulada com valor eficaz de $220V$.

Assim como nos resultados de simulação apresentados no capítulo 2, a tensão de compensação v_{ds} apresenta certa oscilação em alta frequência, refletindo na tensão de saída. Essa oscilação pode estar sendo ocasionada pelo efeito da passagem por zero na malha de pré-alimentação.

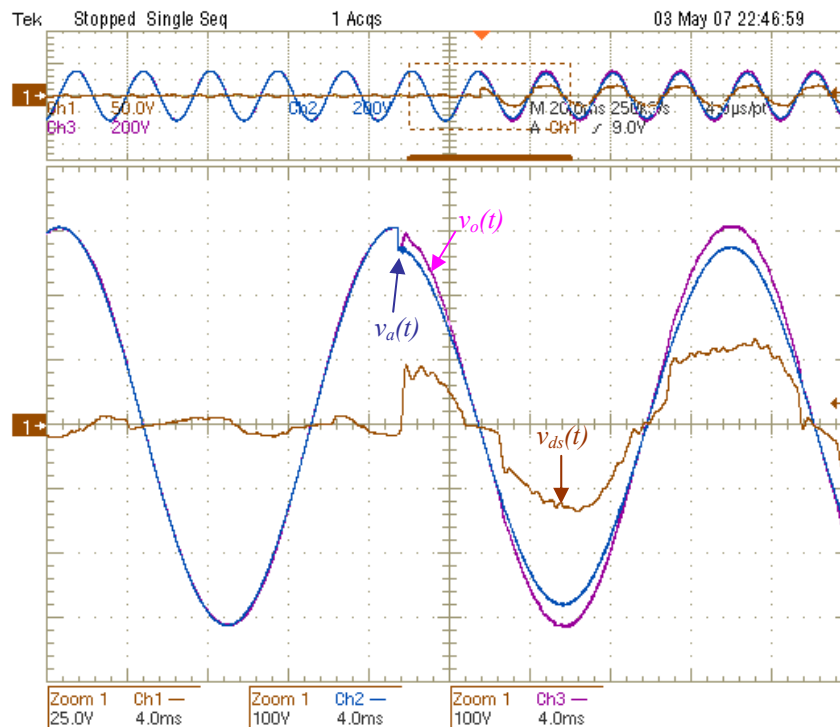


Fig. 4.24 - Degrau de -10% na amplitude de v_a .

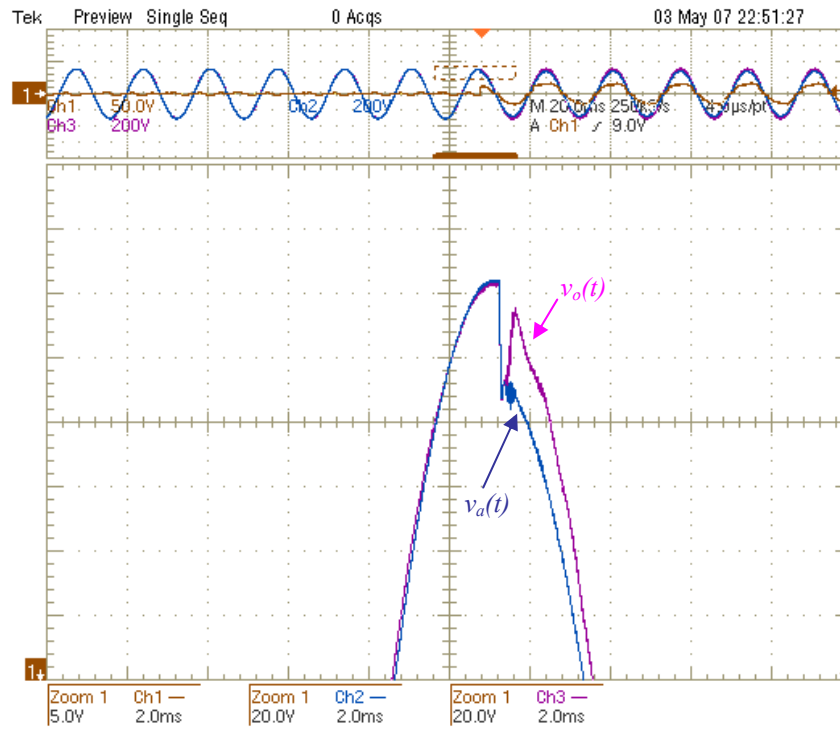


Fig. 4.25 - Detalhe no instante do degrau de -10%.

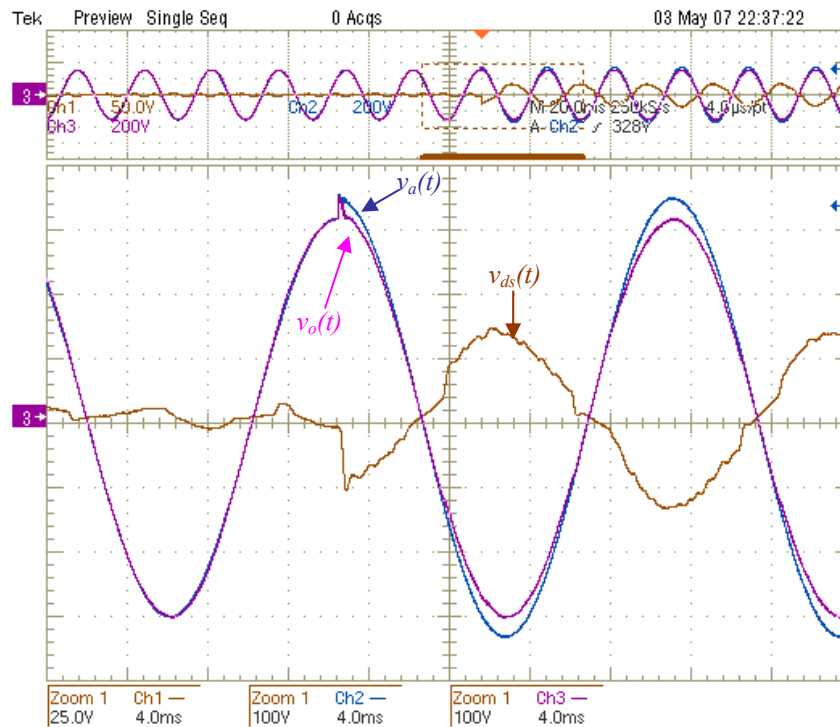


Fig. 4.26 - Degrau de +10% na amplitude de v_a .

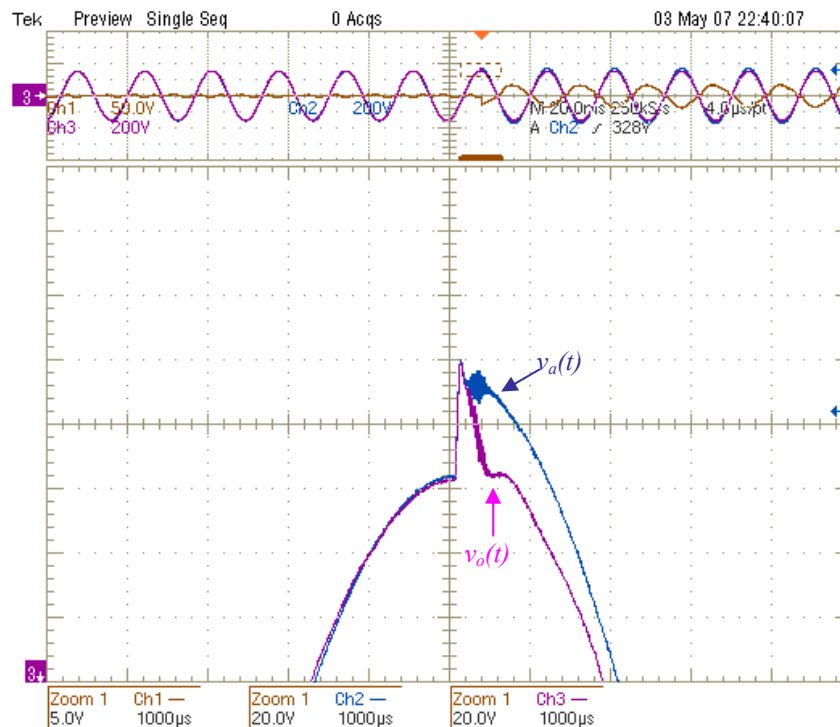


Fig. 4.27 - Detalhe no instante do degrau de +10%.

O teste da tensão de entrada distorcida é crucial para verificar se o conversor opera como condicionador de tensão, ou seja, se corrige tanto variações na amplitude quanto distorções no formato. Assim, a Fig. 4.28 e a Fig. 4.29 mostram o desempenho do condicionador operando com tensão de entrada achatada. Observa-se uma melhora no formato da tensão de saída e um pequeno atraso na ação de controle gerada pela malha de *feedforward* (na Fig. 4.29 durante um pequeno instante, a tensão de saída acompanha a tensão de entrada, permanecendo achatada). Tal atraso ocorre possivelmente em parte pela ação do filtro passa-baixa utilizado para eliminar os ruídos de alta frequência e pelo filtro de saída do conversor.

A presença do filtro na malha de pré-alimentação é fundamental para evitar ações de controle indevidas ocasionadas pela presença de ruídos no sinal amostrado, porém reduz a capacidade do condicionador de correção a distorções no formato da tensão aplicada na entrada retardando a ação de controle.

A análise harmônica e a taxa de distorção harmônica total para as tensões de entrada e de saída da Fig. 4.28 estão presentes na Fig. 4.30. A análise deixa claro a melhora

no formato da tensão de saída do condicionador, sendo 3,2% a THD de v_o e 4,29% a THD da tensão de entrada.

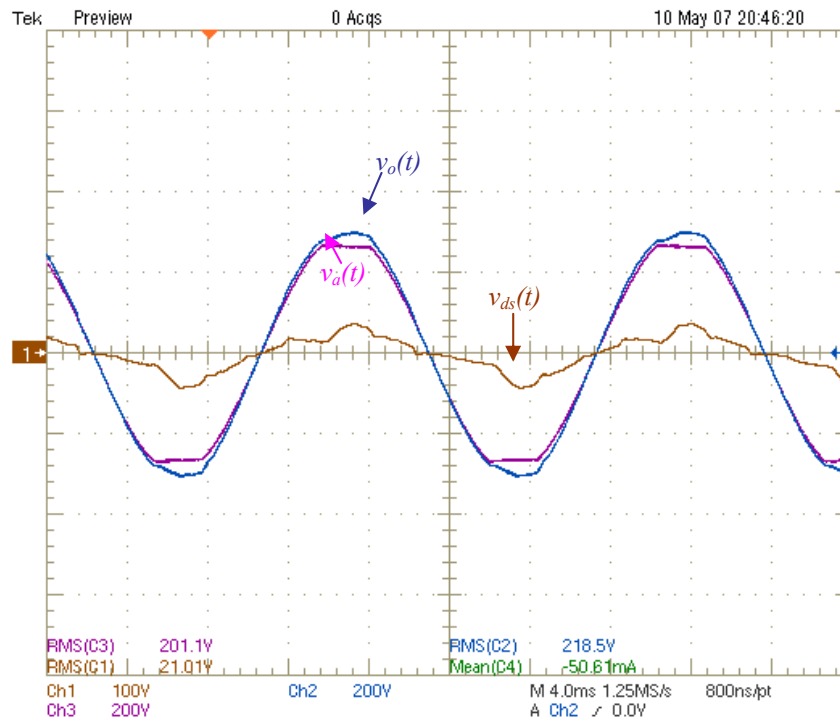


Fig. 4.28 - Tensão de entrada achatada.

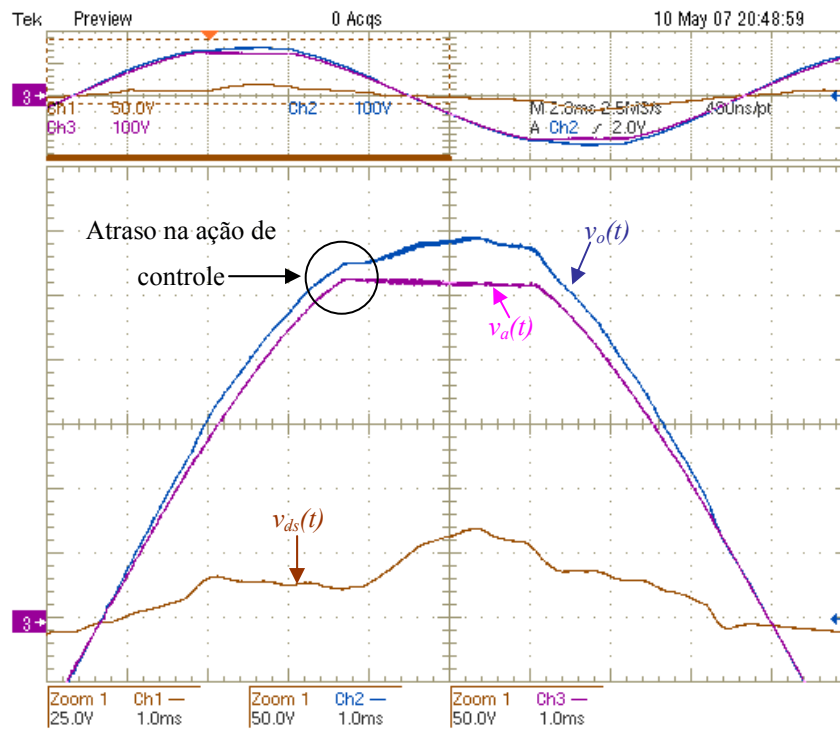


Fig. 4.29 - Detalhe no formato das tensões no instante do pico.

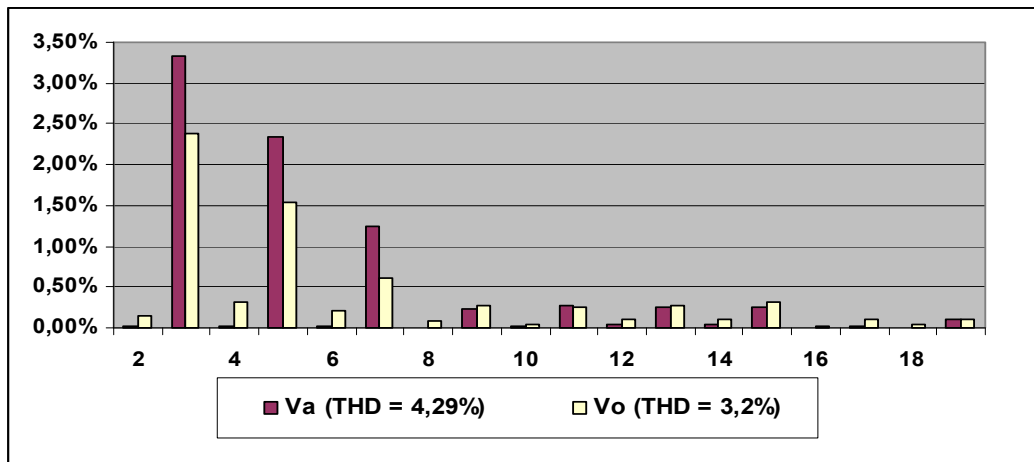


Fig. 4.30 - Análise harmônica e THD para tensão de entrada e saída.

Finalizando os resultados experimentais, a Fig. 4.31 apresenta a aplicação de um degrau de amplitude na tensão de entrada com a malha de pré-alimentação operando sem o filtro passa-baixa, ocasionando a atuação da proteção de sobrecorrente. Isso evidencia a necessidade da presença do filtro na malha de *feedforward*, uma vez que a instabilidade presente na Fig. 4.31 possivelmente foi ocasionada por uma ação de controle indevida gerada por ruídos presentes no sinal amostrado.

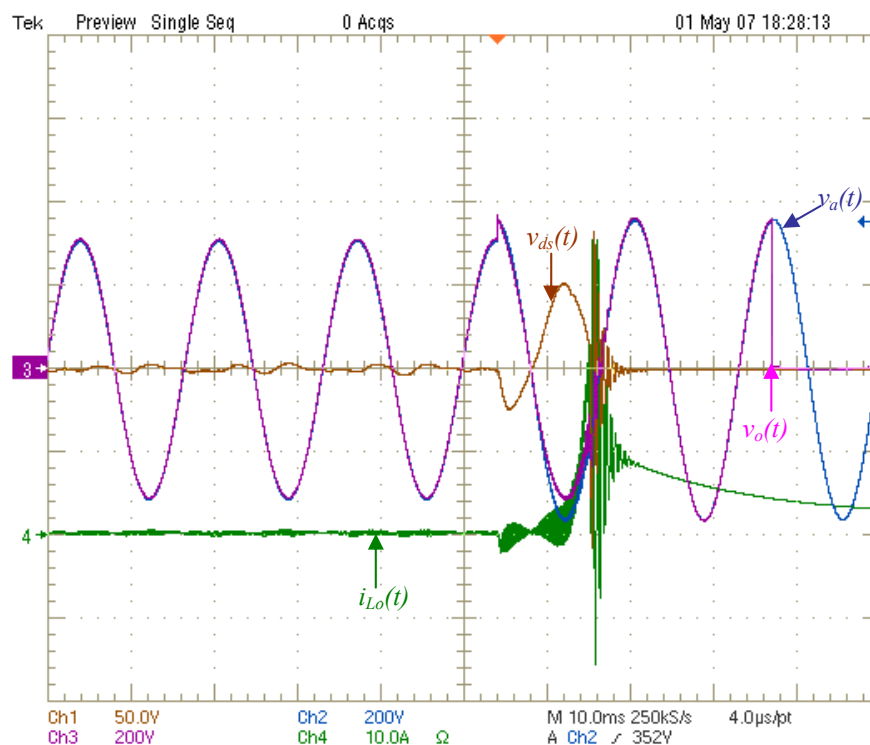


Fig. 4.31 - Atuação da proteção.

Também deve ser destacado o correto funcionamento do sistema de proteção composto pelos IGBTs e contadores. Sem ele, a corrente $i_{Lo}(t)$ teria atingido valores destrutíveis aos interruptores da parte inversora do condicionador. Deve ser esclarecido que o sinal referente a tensão de entrada não atingiu o nível zero junto com o sinal de saída pois a sonda estava posicionada antes do contator 1.

4.4 Conclusão

Esse capítulo apresentou os resultados experimentais do protótipo do condicionador de tensão em estudo. Analisando os resultados obtidos, foi possível verificar a funcionalidade do condicionador e a validação da metodologia elaborada para o projeto no que se refere ao fornecimento de uma tensão regulada e com baixo conteúdo harmônico.

Os ensaios feitos com o sistema *PLL* comprovaram a eficácia do mesmo na obtenção do sinal de referência com formato praticamente senoidal e que acompanha as variações de frequência da tensão de entrada com uma resposta dinâmica relativamente rápida.

O sistema de controle para condicionamento da tensão de saída composto pela malha de controle do valor eficaz atuando em conjunto com a malha de *feedforward* atingiu o objetivo proposto, sendo capaz de corrigir variações na amplitude que estejam dentro da faixa de compensação e distorções no formato da onda. Cabe destacar a necessidade da operação em conjunto das duas malhas, sendo que o conversor operando sem a malha de pré-alimentação se torna inapto a corrigir distorções no formato, funcionando como um simples estabilizador. Caso venha a operar sem a malha de controle do valor eficaz, ocorrem diferenças no valor eficaz da tensão disponibilizada na saída, sendo incapaz de eliminar possíveis erros no seguimento do sinal de referência.

CONCLUSÃO GERAL

O principal objetivo desse trabalho foi elaborar o projeto e a execução de um condicionador de tensão alternada empregando um conversor ca-ca monofásico indireto com link direto controlado digitalmente. Tal condicionador deve possuir as seguintes características: capacidade de elevar e reduzir a tensão, estabilizando-a em um valor pré-definido, tensão de saída com baixo conteúdo harmônico, bidirecionalidade de tensão e de corrente.

Para obtenção do sinal de referência, fundamental para o bom funcionamento do sistema de controle do conversor, o sistema *PLL* baseado na teoria da potência instantânea trifásica obteve resultados bastante positivos. O sistema projetado mostrou-se insensível a variações de amplitude da tensão de alimentação dentro da faixa de compensação da tensão de entrada (176 a 264V) e capaz de acompanhar as variações de frequência que venham a ocorrer na rede elétrica.

O sistema *PLL* foi submetido a diversos testes, tais como: degraus de amplitude, degraus de frequência e tensão de entrada altamente distorcida. Em todos os testes o sinal de referência manteve-se praticamente senoidal e em fase com o sinal de entrada e sempre com uma resposta dinâmica relativamente rápida.

Observou-se também que quanto mais rápida for a resposta dinâmica do *PLL*, o sistema se torna mais susceptível as oscilações de 120Hz, apresentando deformações no sinal de referência.

A metodologia de projeto elaborada para o cálculo dos ganhos do controlador PI do sistema *PLL* monofásico estudado se mostrou eficaz, podendo ser utilizada como ponto de partida em trabalhos futuros.

A rotina de detecção da passagem por zero aplicada ao sistema *PLL* mostrou-se altamente atrativa em situações que requeiram uma rápida entrada em operação do conversor.

Com os resultados obtidos ficou evidente a funcionalidade do condicionador de tensão e a validação da metodologia desenvolvida para o projeto do mesmo, no que diz respeito ao fornecimento de energia de qualidade. As respostas dinâmicas para transitórios de carga e na tensão de entrada indicaram o bom desempenho do sistema proposto.

A atuação em conjunto das malhas de pré-alimentação e de controle do valor eficaz foi fundamental para obtenção do objetivo proposto, ou seja, capacidade de correção a possíveis variações na amplitude dentro da faixa de compensação e possíveis distorções no formato da senóide.

A presença do filtro passa-baixa na malha de *feedforward* ocasionou um atraso na ação de controle, afetando o desempenho da malha para correções de distorção no formato. Entretanto, o sistema de controle sem a presença do filtro se torna instável, podendo gerar ações de controle indevidas ocasionadas pela presença de ruídos no sinal amostrado.

Por fim, é notória a presença do sistema de proteção do protótipo desenvolvido para testes, sendo possível o emprego de diversas técnicas de controle, evitando que ações indevidas ocasionem a destruição dos módulos *IGBTs* tanto da parte inversora quanto da parte retificadora.

Sugestões para continuidade do trabalho:

- Projeto do controle levando em conta a função de transferência completa;
- Modelagem de pequenos sinais da malha de pré-alimentação;
- Estudo e implementação dos circuitos *PLL* apresentados em [20] que utilizam a Transformada Inversa de Park e Transformada de Hilbert e comparar os resultados obtidos em cada caso com os apresentados neste trabalho;
- Implementação de outras técnicas de controle digital para o condicionador tais como: detecção ortogonal, controle por modo corrente e realimentação instantânea.


```

max          .int  7fffh
min          .int  8000h
ia           .int  0
pbc          .int  0
epk          .int  0
epk_1        .int  0
kp1          .int  8C3Bh
kp2          .int  2A66h
uk_1         .int  0
ki           .int  0Dh
eik          .int  0
eik_1        .int  0
uik_1        .int  4000h
limite_int   .int  7fffh
max_ang      .int  0FFFFh
teta1        .int  0
teta2        .int  0
k_90         .int  4000h
k_270        .int  0C000h
vsinc        .int  0
vsinc_1      .int  1
bb           .int  0
nive ldc1     .int  7725
nive ldc1a    .int  7780
nive ldc2     .int  7705

nive ldc3     .int  7713
temp         .int  0
temp3        .int  0
temp2        .int  0
temp7        .int  0
temp9        .int  4000h
temp99       .int  0
escal        .int  0FFFFh
flag         .int  0
teste        .int  0
testen_1     .int  0
in_var       .int  0
kv           .int  7FABh

; variaveis do controlador de off set
kcc          .int  0FFFFh
ilok         .int  0
ilok_1       .int  0
max_cor      .int  6000h
flag2        .int  0
yk_1         .int  0
yk_max       .int  4000h
yk_min       .int  0C000h

; variaveis do controlador
; do valor rms da tensao de saida
kvo          .int  762Fh
kvoa         .int  760Fh
kvsinc       .int  5999h
vo           .int  0
vo_          .int  0
vref_pll     .int  0

vref         .int  0
vc_rms       .int  0
vc_max       .int  7333h
vc_min       .int  0CCCh
vc           .int  0
vc_comple    .int  0

p_pwm        .int  999
k_1          .int  7FFFh
k_escal      .int  4000h
sgn          .int  0
erro         .int  0
evk          .int  0
evk_1        .int  0
kvv          .int  17EAh
kvv1         .int  0F8E5h
kvv2         .int  7FFFh
yvk_1        .int  0
yvk_max      .int  6CCCh
yvk_min      .int  9334h

; variaveis do controlador
; de feedforward

num          .int  0
denom        .int  0
sinal        .int  0
quoc         .int  0
evfk         .int  0
evfk_1       .int  0
yvfk_1       .int  0
vc1          .int  0
kvf          .int  673Bh
kvf2         .int  3B2Fh
temp15       .int  0
yvfk_max     .int  2666h
yvfk_min     .int  0D999h
pontoos      .int  0FFFFh
kraz         .int  0
raz          .int  0
razaofixa    .int  0CCCh
kfaixa       .int  2CCCh
temp_0       .int  0
vc_ff        .int  0

;-----
; Define região para pilha
;-----

                .sect "stack"

pilha          .int  0

;-----
; INICIO DO PROGRAMA
;-----

                .text

```

```

inicio:
;-----
;      Desabilita todas as Interrupções
;-----

    ldp    #0
    setc   INTM
    clrc   SXM
    clrc   CNF
    splk   #0000h,IMR
    lacc   IFR
    sac1   IFR
;-----
;      Desabilita o watchdog
;-----

    ldp    #WDCR>>7
    splk   #006Fh,WDCR
    KICK_DOG
    ldp    #GR
    splk   #0b,GR
    out    GR,WSGR
    ldp    #0E0h
    splk   #80h,SCSR1
;-----
;      Habilita os clocks para EVA, EVB e AD
;-----

    ldp    #224
    splk   #0000000010000100b,SCSR1

;-----
;      Define ar7 como ponteiro para pilha
;-----

    ldp    #pilha
    lar    ar7,#pilha
;-----
;      Desabilita todas as saídas PWM
;-----

; desabilitando as saídas do timer 1 e 2

    ldp    #232
    splk   #0000100001000010b,T1CON
    splk   #0000100001000010b,T2CON
    splk   #0000000000000000b,COMCONA
    splk   #0000000000000000b,GPTCONA
    splk   #0000000001000000b,GPTCONA
    splk   #1000101000000000b,COMCONA
    splk   #0000000000000000b,ACTRA

;-----
;Configurar a porta digital I/O
;-----

    ldp    #225;
;atualiza registrador MCRA
    splk   #00000000011000000b,10h
;atualiza registrador MCRB
    splk   #0000000000000000b,12h
;atualiza registrador MCRC
    splk   #0000000000000000b,14h

; define os pinos da port c 1 e 2 como
; saída e demais como entrada

    splk   #00000110000000100b,PCDATDIR
;-----
;
;      Início do programa
;-----

;-----
;      Configurações do PWM
;-----
; Registro de configuração do sistema:
    ldp    #224
    splk   #00000000010000100b,SCSR1

; Configurando as saídas
; referentes ao timer 1
    LDP    #232
; começa em ativo baixo
    splk   #0000010101010101b,ACTRA
; AD é disparado no período do PWM
; saída 1 e 2 em ativo baixo
    splk   #0000000000000000b,GPTCONA
    splk   #00000000101000101b,GPTCONA
    splk   #0,T1CNT
    splk   #0,T2CNT
    splk   #00001000000000010b,T1CON
; Modo de operação up/down
    splk   #999,T1PR
; frequência de 20kHz
    splk   #500,CMPR1
    splk   #500,CMPR2
    splk   #500,CMPR3
    splk   #0000000000000000b,DBTCONA

;-----
;Set Interrupções
;-----

    LDP    #232
    splk   #1111111111111111b,EVAIFRA
    splk   #00000000010000000b,EVAIMRA
    splk   #0000000000000000b,EVAIMRB
    splk   #0000000000000000b,EVAIMRC

;-----
; Dispara os contadores
;-----

;Dispara a contagem
    splk   #0000100001000010b,T1CON

;-----
; Inicializa A/D
;-----

    ldp    #0E1h
    splk   #0100000000000000b,ADCTRL1
    nop
    nop
    nop
    splk   #0010000100100000b,ADCTRL1
    splk   #2,MAX_CONV
    splk   #03210h,CHSELSEQ1
    splk   #07654h,CHSELSEQ2
    splk   #0BA98h,CHSELSEQ3
    splk   #0FEDCh,CHSELSEQ4
    nop
    nop
    splk   #0000010100000000b,ADCTRL2
    nop
    nop

;-----
;Habilita a interrupção 6
;-----

```

```

ldp #0
splk #0000000000011111b,IFR
splk #00000000000100000b,IMR
clrc SXM
; Habilita interrupções
clrc INTM
;-----
; Liga o conversor e Habilita = 1
;-----
ldp #225
lacc PCDATDIR
and #111111111111011b
or #00000000000000010b
sac1 PCDATDIR
;-----
;Aguarda a interrupção
;-----

main

nop
b main

;-----
; Interrupção Principal
; Essa interrupção é tratada
; no final de cada conversão AD
;-----

ADC

;-----
; SALVA REGISTROS
;-----
mar *,AR7
mar *+
sst #1, *+
sst #0, *+
sach *+
sac1 *+
;-----
;ARMAZENA OS RESULTADOS
;DA CONVERSAO EM VARIABEIS
;ADEQUADAS
;-----
clrc sxm
LDP #0E1h
lacc RESULT0,15
ldp #va
sach va
clrc sxm

LDP #0E1h
lacc RESULT1,15
ldp #vo
sach vo
clrc sxm
LDP #0E1h
lacc RESULT2,15

ldp #ilok
sach ilok
sach temp9
setc sxm
setc ovrm
spm 1
;-----
; retirando o nivel cc
;e ajuste das amplitudes
;das grandezas adquiridas
;-----
; tensão Va
ldp #va
lacc va,16
sub niveldc1,16
sach va_
lacc va,16
sub niveldc1a,16
sach va
lacc #0
lt kvoa
mpy va
pac
; NORMALIZACAO
lar ar3,#0
mar *,ar3
rpt #1
norm *+
bcnd go2,ntc

bcnd negativo2,lt
bcnd go2,eq
lacc max,16

b go2

negativo2:
lacc min,16
go2:
sach va
sach teste

; ajuste para tensao de entrada do pll

lacc #0
lt kv
mpy va_
pac
; NORMALIZACAO
lar ar3,#0
mar *,ar3
rpt #1
norm *+
bcnd go3,ntc

bcnd negativo3,lt
bcnd go3,eq
lacc max,16
b go3

```

```

negativo3:
    lacc min,16
go3:
    sach va_

; tensao vo
    lacc vo,16
    sub niveldc2,16
    sach vo
    lacc #0
    lt kvo
    mpy vo
    pac
; NORMALIZACAO
    lar ar3,#0
    mar *,ar3
    rpt #1
    norm *+
    bcnd go4,ntc
    bcnd negativo4,lt
    bcnd go4,eq

negativo4:
    lacc min,16
go4:
    sach vo_

; ilok
    ldp #ilok
    lacc ilok,16
    sub niveldc3,16
    sach ilok

; NORMALIZACAO
    lar ar3,#0
    mar *,ar3
    norm *+
    bcnd go5,ntc

    bcnd negativo5,lt
    bcnd go5,eq
    lacc max,16
    b go5

negativo5:
    lacc min,16
go5:
    sach ilok
;-----
; proteção contra sobre corrente
;-----

    lacc ptos2
    bcnd cont2,gt

    lacc ilok,16
    abs
    sub max_cor,16

    bcnd cont,lt
    lacc flag2
    bcnd cont3,eq
    splk #10,temp99

    call sobre_cor
cont3:
    splk #10,flag2
    b cont4
cont2:
    sub #1
    sac1 ptos2
cont:
    splk #0,flag2
cont4:
;-----
; detecção do erro dos drivers
;-----
    ldp #225
    lacc PCDATDIR
    and #00000000000010000b
    bcnd cont5,eq
    call sobre_cor
cont5:
;detecção da passagem por zero
    ldp #flag
    lacc flag
    bcnd passou,neq
    lacc teste
    bcnd final,lt
    lacc testen_1
    bcnd final,gt
    splk #17,flag

passou
    lacc #0

;-----
; Início do PLL
;-----
; cálculo da potência trifasica (epk)
    ldp #ia
    lt ia
    mpy va_
    pac
    add pbc,16
    sach epk

;PI do PLL
    lacc #0
    lt kp1
    mpy epk_1
    lta kp2
    mpy epk
    apac
    add uk_1,16
    sach uk_1
    lar ar4,epk
    sar ar4,epk_1

```

```

; NORMALIZACAO
    lar ar3,#0
    mar *,ar3
    rpt #6
    norm *+
    sach uk_1
    sach eik
; integrador do PLL
    lacc #0
    lt ki
    mpy eik
    lta ki
    mpy eik_1
    pac
    add uik_1,16
    sach uik_1
    lar ar4,eik
    sar ar4,eik_1
; teste para o reset do integrador
    setc sxm
    setc ovm
    lacc uik_1,16
    abs
    sub limite_int,16
    bcnd segue1,lt
    splk #8000h,uik_1
segue1:
    lacc uik_1
    sach teta2

; calculo de ia e pbc
    ldp #teta2
    lacc teta2
    ldp #in_var
    sach in_var
    ldp #sin_input
    bldd #in_var,sin_input
    call qsin
    ldp #ia
    bldd #sin_output, ia
    lacc #0
    lacc teta2,1
    setc ovm
    sub max_ang
    bcnd segue2,gt
    lacc teta2,1
segue2:
    ldp #in_var
    sach in_var
    ldp #sin_input
    bldd #in_var,sin_input
    call qsin
    ldp #pbc
    bldd #sin_output, pbc
    lacc pbc,16
    setc sxm
    setc ovm
    sfr
    sach pbc

; calculo de teta 1
    setc sxm
    setc ovm
    spm 1
    lacc teta2
    bcnd segue3,geq
    lacc teta2
    add k_270

    sach teta1
    b segue4
segue3:
    lacc teta2
    sub k_90
    sach teta1
segue4:
    ldp #in_var
    sach in_var
    ldp #sin_input
    bldd #in_var,sin_input
    call qsin
    ldp #vsinc
    bldd #sin_output, vsinc
    setc sxm
    setc ovm
    spm 1
    lacc #0
    mpy #0
    lt kvsinc
    mpy vsinc
    pac
    sach vref_pll
;-----
; Compensador de off set
;-----
    ldp #ilok
    setc sxm
    setc ovm
    spm 1
    lacc #0
    lt kcc

    mpy ilok
    lta kcc
    mpy ilok_1
    apac
; lógica para desprezar
; o FFFF da parte alta de ACC
    sach temp2

    lacc temp2,16
    xor #1111111111111111b,16
    bcnd ok3,eq
    lacc temp2,16

```

```

ok3:
    add    yk_1,16
    sach   temp2
;limitação do sinal de controle
    bcnd   segue8,lt
    sub    yk_max,16
    bcnd   segue11,lt
    lacc   yk_max,16
    b      segue10
segue11:
; yk_1 não ultrapassou o limite maximo
    lacc   temp2,16
    b      segue10
segue8:
    add    yk_max,16
    bcnd   segue9,leq
    lacc   temp2,16
    b      segue10
segue9:
; yk_1 ultrapassou o limite minimo
    lacc   yk_min,16
segue10:
    sach   yk_1
    lar    ar4,ilok
    sar    ar4,ilok_1
;-----
;          obtenção de sgn(vref)
;-----
    ldp    #vsinc
    setc   sxm
    setc   ovm
    spm    1
    lacc   #0
    lt     vsinc
    mpy    vsinc_1
    pac

    bcnd   segue6,geq
    lacc   vsinc
    bcnd   segue7,geq
; vsinc é negativo
    ldp    #sgn
    splk   #8000h,sgn
    b      segue6
segue7:
; vsinc é positivo
    ldp    #sgn
    splk   #7FFFh,sgn
segue6:
    ldp    #vsinc
    lacc   vsinc
    bcnd   final,eq
    sac1   vsinc_1
;-----
;Controlador RMS
;-----

; vref = vref_pll + yk_1
    ldp    #vref_pll
    lacc   vref_pll,16
    add    yk_1,16

    sach   vref
    sub    vo_,16
    sach   erro
    lacc   #0
    lt     erro
    mpy    sgn
    pac
    sach   evk

    ldp    #evk
    setc   sxm
    setc   ovm
    spm    1
    lacc   #0
    lt     kvv
    mpy    evk
    lta    kvv1

    mpy    evk_1
    lta    kvv2
    mpy    yvk_1
    apac
    sach   temp2
;limitação do sinal de controle
    bcnd   segue15,lt
    sub    yvk_max,16
    bcnd   segue18,lt
    lacc   yvk_max,16
    b      segue17
segue18:
; yk_1 não ultrapassou o limite maximo
    lacc   temp2,16
    b      segue17
segue15:
    add    yvk_max,16
    bcnd   segue16,leq
    lacc   temp2,16
    b      segue17
segue16:
; yk_1 ultrapassou o limite minimo
    lacc   yvk_min,16
segue17:
    sach   yvk_1
    lar    ar4,evk
    sar    ar4,evk_1
;-----
;          obtenção de vc_rms
;-----

    lacc   #0
    lt     yvk_1
; para malha aberta
;lt razaofixa
    mpy    sgn
    pac
    sach   vc_rms
;-----
;Malha de feedfoward
;-----

```

```

;-----
;Malha de feedforward
;-----
; teste para verificar se está
; longe da faixa do zero de vsinc
    lacc vsinc,16
    abs
    ldp #kfaixa
    sub kfaixa,16
    bcnd go,geq
    lacc #0
    b seguee17
go:
    ldp #vref_pll
    lacc vref_pll,16
    sub va,16
    sach num
    sach temp15
    lacc va
    sac1 denom
;divisão
    lt num
    mpy denom
    sph sinal
    lacc denom
    abs
    sac1 denom
    zalh num
    abs
    rpt #14
    subc denom
    sac1 quoc
    lacc sinal

    bcnd done,geq
    lac1 #0
    sub quoc
    sac1 quoc
done:
    lacc quoc
    sac1 evfk

    ldp #evfk
    setc sxm
    setc ovm
    spm 1
    lacc #0
    lt kvf
    mpy evfk
    lta kvf
    mpy evfk_1
    lta kvf2
    mpy yvfk_1
    apac
    sach yvfk_1
    lar ar4,evk
    sar ar4,evk_1
    sach temp2
;limitação do sinal de controle

    bcnd seguee15,lt
    sub yvfk_max,16
    bcnd seguee18,lt
    lacc yvfk_max,16
    b seguee17
seguee18:
; yk_1 não ultrapassou o limite maximo
    lacc temp2,16
    b seguee17
seguee15:
    add yvfk_max,16
    bcnd seguee16,leq
    lacc temp2,16
    b seguee17
seguee16:
; yk_1 ultrapassou o limite minimo
    lacc yvfk_min,16
seguee17:
    sach yvfk_1
    lacc #0
    lt yvfk_1
    mpy sgn
    pac

    sach vc_ff
    ; desabilita feedforward
    ; lacc #0
    add vc_rms,16
    sach vc1
    lacc vc1,16
; escalonamento
    sfr
    add k_escal,16
    sach temp3
; limitação do sinal
    sub vc_max,16
    bcnd segue12,geq
    lacc temp3,16
    sub vc_min,16
    bcnd segue13,geq
    lacc vc_min,16
    b segue14
segue13:
    lacc temp3,16
    b segue14
segue12:
    lacc vc_max,16
segue14:
    sach vc
    lacc k_1,16
    sub vc,16
    sach vc_comple
;-----
; liberação do sinal de controle
; - partida suave
;-----

    ldp #pontoos
    lacc pontoos

```

```

        bcnd    seguee5,neq
        lacc    kraz
        sub     #7FFFh
        bcnd    seguee5,eq
        lacc    kraz
        add     #1

        sac1    kraz
        splk    #25,pontoos
        b       vaii1
seguee5:
        sub     #1
        sac1    pontoos
vaii1:
;-----
; obtenção do sinal PWM do inversor
;-----
;sinal do inversor
        lacc    #0
        ldp     #p_pwm
        lt      p_pwm
        mpy     vc
        pac
        sach    raz
        lt      raz
        mpy     kraz
        pac
        sach    temp_0
        ldp     #232
        sach    CMPR1
        lacc    #0
        ldp     #p_pwm
        lt      p_pwm
        mpy     vc_comple
        pac
        sach    raz
        lt      raz
        mpy     kraz
        pac
        ldp     #232

        sach    CMPR2
        NOP
final:
        ldp     #teste
        lacc    teste
        sac1    testen_1

;-----
;Limpa as bandeiras
;-----
        ldp     #232
        splk    #0ffffh,EVAIFRA
;-----
;Reseta a sequência e limpa
;o flag de Interrupção
;-----
        ldp     #0E1H
        lacc    ADCTRL2
        or      #00000001000000000b
        sac1    ADCTRL2
        or      #01000000000000000b
        sac1    ADCTRL2
        and     #1101111111111111b
        sac1    ADCTRL2
;-----
;Restaura Registros
;-----
        mar     *, AR7
        mar     *-
        lac1    *-
        add     *-,16
        lst     #0, *-
        lst     #1, *-
;-----
;Habilita as interrupções
;-----
        clrc    INTM
        ret
;-----
;Rotina para desativar o conversor
;caso houver a atuação de alguma
;Proteção
;-----
sobre_cor:
        ldp     #225
        lacc    PCDATDIR
        and     #1111111111110000b
        or      #0000000000000100b
        sac1    PCDATDIR
        SETC    INTM
        ldp     #232
        SPLK    #499,CMPR1
        SPLK    #499,CMPR2

DSP     B       DSP
        .end

```

REFERÊNCIAS BIBLIOGRÁFICAS.

- [1] DUGAN, Roger C.; MCGRANAGHAN, Mark F.; SANTOSO, Surya; BEATY, H. W., “*Electrical Power Systems Quality*”, 2nd Ed., EUA, McGraw-Hill Professional, 2003.
- [2] ABNT, “*NBR 14373 – Estabilizadores de tensão de corrente alternada – Potências até 3 kVA*”, Set. 1999.
- [3] KWON, B. H.; JEONG, G. Y.; HAN, S. H. and LEE, D. H., “*Novel line conditioner with voltage up/down capability*”, IEEE Transactions on Industrial Electronics 2002, Vol. 49 N° 5, pp. 1110-1119.
- [4] PETRY, Clóvis A.; FAGUNDES, João C.; BARBI, Ivo., “*Study of an AC-AC indirect converter for application as line conditioner*”, ISIE’2005 - 2005 IEEE International Symposium on Industrial Electronics, Junho 2005, pp. 757 – 762
- [5] PETRY, Clóvis A.; FAGUNDES, João C.; BARBI, Ivo., “*AC-AC Indirect Converter for Application as Line Conditioner*”, 7th Brazilian Power Electronics Conference (COBEP’2003), Fortaleza, CE - Brazil, pp. 509-514, Setembro 2003.
- [6] SOEIRO, Thiago B.; “*Estudo de um Condicionador de Tensão com Compensação Série Utilizando um Conversor CA-CA com Alimentação a Jusante*”, Dissertação (Mestrado em Engenharia Elétrica) – INEP – UFSC, Florianópolis, 2007
- [7] RODRIGUES, Jean P.; PETRY, Clóvis A.; BARBI, Ivo. “*A Novel Converter Topology and its Application in Line Voltage Conditioner*”, ISIE’2005 - 2005 IEEE International Symposium on Industrial Electronics, June 20-23, 2005, Dubrovnik, pp. 589 – 594.
- [8] PETRY, Clóvis A., “*Estabilizadores de Tensão para Alimentação de Cargas Não-Lineares: Estudo de Variações Topológicas e Métodos de Controle*”, Tese (Doutorado em Engenharia Elétrica) – INEP – UFSC, Florianópolis, 2005.

- [9] PETRY, Clóvis A.; FAGUNDES, J. C.; BARBI, I., “*High Frequency AC Regulator for Non-Linear Loads*”, 6^o Brazilian Power Electronics Conference (COBEP’2001), Florianópolis, SC - Brasil, pp. 491- 496, Novembro, 2001.
- [10] HINGORANI, Narain G.; GYUGYI, Laszlo, “*Understanding FACTS – Concepts and Technology of Flexible AC Transmission Systems*”, New York, EUA – IEEE Press, 1999.
- [11] HOLMES, D. Grahame; LIPO, Thomas A. “*Pulse Width Modulation for Power Converters: Principles and Practice*”, IEEE Press, 2003.
- [12] OGATA, Katsuhiko, “*Discrete-Time Control Systems*”, 2nd Ed, University of Minnesota, 1995.
- [13] MUSSA, Samir A., “*Controle de Um Conversor CA-CC Trifásico PWM de Três Níveis com Fator de Potência Unitário Utilizando DSP*”, Tese (Doutorado em Engenharia Elétrica) – INEP – UFSC, Florianópolis, 2003.
- [14] TOMASELLI, Luis C., “*Controle de Um Pré-regulador com Alto Fator de Potência Utilizando o Controlador DSP TMS320f243*”, Dissertação (Mestrado em Engenharia Elétrica) – INEP – UFSC, Florianópolis, 2001.
- [15] HSIEH, Guan C.; HUNG, James C., “*Phase-Locked Loop Techniques – A survey*”, IEEE Transactions on Industrial Electronics, Vol. 43, No. 3, pp. 609-615, 1996.
- [16] TCL2932, “*Phase-Locked-Loop Building With Analog Voltage-Controlled Oscillator and Phase Frequency Detector*”, Texas Instruments, 1996.
- [17] KAURA, Vikran.; BLASKO, Vladimir, “*Operation of a Phase Locked Loop System Under Distorted Utility Conditions*”, IEEE Transaction on Industry Applications, Vol. 33, No. 1, pp. 58-63, 1997.
- [18] ARRUDA, Lícia N.; SILVA, Sidelmo M.; FILHO, Braz J. C., “*PLL Structures for Utility Connected Systems*”, IEEE Industry Application Annual Meeting (IAS), Vol. 4, pp. 2655-2660, 2001.
- [19] AWAD, H.; SVENSSON, J.; BOLLEN, M., “*Phase Locked Loop for Static Series Compensator*”, European Power Electronics Conference (EPE), 2003.

- [20] SILVA, Sidelmo M.; LOPES, Bruno M.; FILHO, Braz J. C.; CAMPANA, Rodrigo P.; BOAVENTURA, Wallade C., “*Performance Evaluation of PLL Algorithms for Single-phase Grid-connected Systems*”, Industry Application Conference, 2004. 39th IAS Annual Meeting. Conference Record of the 2004 IEEE, vol 4, pp. 2059-2063, 2004.
- [21] AQUINO, A. F. C.; SANTOS, G. Jr.; MIRANDA, U.; AREDES, M.; ARAUJO, A. C. M., “*Synchronizing Circuits Applied to Non-Linear Loads Models*”, Transmission and Distribution Conference and Exposition: Latin America, pp. 700-705, 2004.
- [22] GOMES, Carlos E. M.; PETRY, Clóvis A.; MUSSA, Samir A.; MOHR, Hari B., “*Ac Line Conditioner Digital Control Using PLL Based on The Three Phase Instantaneous Power Theory*”, International Conference on Industrial Electronics - IECON’2006, Nov. 2006.
- [23] KIM, Hyosung; SUL, Seung-Ki, “*Compensation Voltage Control in Dynamic Voltage Restorers by Use of Feed Forward and State Feedback Scheme*”, IEEE Transaction on Power Electronics, Vol. 20, No. 5, pp. 1169-1177, 2005
- [24] GUERRERO, Josep M.; VICUÑA, Luis G.; MIRET, Jaume; MATAS, Jose; CASTILLA, Miguel, “*A Nonlinear Feed-Forward Control Technique for Single-Phase UPS Inverters*”, IEEE Transaction on Power Electronics, 2002.
- [25] KAZIMIERCZUK, Marian K.; STARMAN, LaVern A., “*Dynamic Performance of PWM DC-DC Boost Converter with Input Voltage Feedforward Control*”, IEEE Transaction on Circuits and Systems-I: Fundamental Theory and Applications, Vol 46, No. 12, pp. 1473-1481, 1999.
- [26] YANO, Masao, MATSUI, Mikihiro et al. *Recent Trend in Power Conversion*. International Conference on Industrial Electronics - IECON’2000, pp. 1340-1346, October, 2000.
- [27] VORPÉRIAN, V., “*Simplified Analisis of PWM Converters Using Model of PWM Switch, Part I: Continuous Conduction Mode*”. VPEC Seminar Tutorials, Virginia, 1988.

- [28] HOLDEFER, Antônio E., “*Controle Digital de Retificador Trifásico Utilizando Controlador DSP*”, Dissertação (Mestrado em Engenharia Elétrica) – INEP – UFSC, Florianópolis, 2004.
- [29] MARTINS, Denizar C.; BARBI, Ivo, “*Introdução ao Estudo dos Conversores CC-CA*”, Edição dos Autores, Florianópolis, 2005